

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-373490

(43)Date of publication of application : 26.12.2002

(51)Int.Cl.

G11C 11/407  
G11C 29/00  
H02M 3/07

(21)Application number : 2001-181403

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 15.06.2001

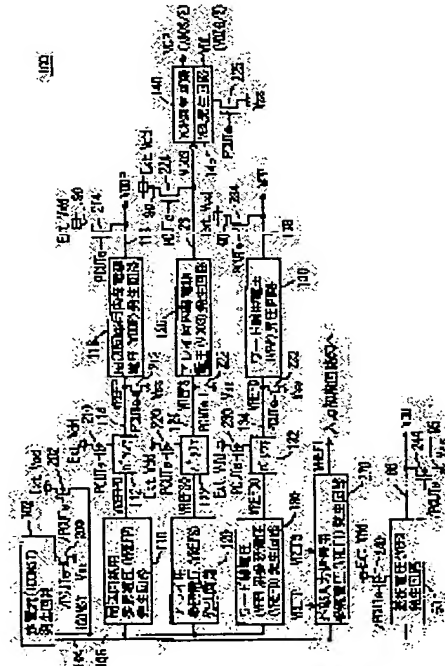
(72)Inventor : OKAMOTO TAKEO  
YAMAUCHI TADAOKI  
MATSUMOTO JUNKO

## (54) SEMICONDUCTOR MEMORY

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which low power consumption operation can be performed.

SOLUTION: An internal power source circuit 100 generates internal power source voltage VDDP, VDDS, VPP, VBB, by coupling electrically each of internal power source wirings 118, 128, 138 and 166 to an external power source wiring 90 or a ground wiring 95 via transistors 214, 224, 234 and 244 in a low power consumption mode. In correspondence with that, the supply of an operation current for reference voltage generating circuits 110, 120, 130, 160, buffers 112, 122, 132, internal power source voltage generating circuits 116, 126, and a voltage-boosting circuit 136 is stopped in a low-power consumption mode, so that power consumption of the internal power source circuit 100 itself can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-373490

(P2002-373490A)

(43) 公開日 平成14年12月26日 (2002. 12. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 1 1 C 11/407		G 1 1 C 29/00	6 7 1 T 5 H 7 3 0
29/00	6 7 1	H 0 2 M 3/07	5 L 1 0 6
H 0 2 M 3/07		G 1 1 C 11/34	3 5 4 F 5 M 0 2 4

審査請求 未請求 請求項の数30 O L (全 30 頁)

(21) 出願番号 特願2001-181403(P2001-181403)

(22) 出願日 平成13年6月15日 (2001. 6. 15)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岡本 武郎

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 山内 忠昭

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

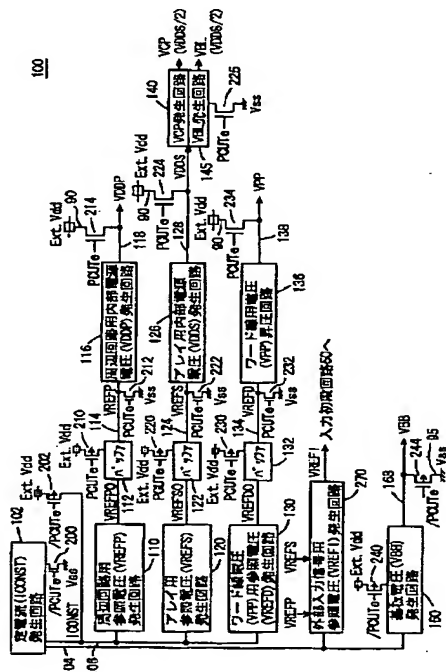
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 低消費電力動作が可能な半導体記憶装置を提供する。

【解決手段】 内部電源回路100は、低消費電力モードでは、トランジスタ214、224、234および244を介して、内部電源配線118、128、138および166のそれぞれを、外部電源配線90もしくは接地配線95と電気的に結合することによって、内部電源電圧VDDp、VDDs、VPP、VBBを生成する。これに対応して、低消費電力モードでは、参照電圧発生回路110、120、130、160、バッファ112、122、132、内部電源電圧発生回路116、126および電圧昇圧回路136への動作電流の供給は停止されるので、内部電源回路100自体の消費電力を削減できる。



1

【特許請求の範囲】

【請求項 1】 通常モードと低消費電力モードとを有する半導体記憶装置であって、  
データ読出動作、データ書込動作およびデータ保持動作  
を実行するための内部回路と、  
第 1 の外部電源電圧の供給を受ける第 1 の外部電源配線  
と、  
前記第 1 の外部電源電圧よりも低い第 2 の外部電源電圧  
の供給を受ける第 2 の外部電源配線と、  
前記内部回路に対して内部電源電圧を伝達するための内  
部電源配線と、  
前記第 1 および第 2 の外部電源電圧を受けて、前記内部  
電源電圧を生成するための内部電源回路とを備え、  
前記内部電源回路は、  
前記第 1 および第 2 の外部電源電圧を受けて、前記内部  
電源電圧の目標レベルに対応する参照電圧を生成するた  
めの参照電圧生成部と、  
前記低消費電力モード時に、前記参照電圧生成部の動作  
電流を遮断するための第 1 の電流遮断スイッチと、  
前記内部電源電圧と前記参照電圧との比較に基づいて、  
前記内部電源電圧を前記目標レベルに維持するための内  
部電源電圧発生部と、  
前記低消費電力モード時に、前記内部電源電圧発生部の  
動作電流を遮断するための第 2 の電流遮断スイッチと、  
前記低消費電力モード時に、前記第 1 および第 2 の外部  
電源配線の一方を前記内部電源配線と電気的に結合する  
ための接続スイッチとを含む、半導体記憶装置。  
【請求項 2】 前記接続スイッチは、前記第 1 の外部電  
源配線と前記内部電源配線との間に電気的に結合される  
Nチャネル電界効果型トランジスタを含み、  
前記Nチャネル電界効果型トランジスタのゲートには、  
前記低消費電力モード時において、前記第 1 の外部電源  
電圧が印加される、請求項 1 記載の半導体記憶装置。  
【請求項 3】 前記接続スイッチは、前記第 2 の外部電  
源配線と前記内部電源配線との間に電気的に結合される  
Pチャネル電界効果型トランジスタを含み、  
前記Pチャネル電界効果型トランジスタのゲートには、  
前記低消費電力モード時において、前記第 2 の外部電源  
電圧が印加される、請求項 1 記載の半導体記憶装置。  
【請求項 4】 第 1 のコマンドに伴って外部から入力さ  
れるモード設定を保持するためのモードレジスタをさら  
に備え、  
前記モード設定は、前記通常モードから前記低消費電力  
モードへの移行を行なうかどうかの指定を含み、  
前記モード設定において前記移行を行なうことが指定さ  
れている場合において、第 2 のコマンドに応答して前記  
低消費電力モードは開始される、請求項 1 記載の半導体  
記憶装置。

【請求項 5】 前記第 2 のコマンドは、前記低消費電力  
モードの開始を指示するための専用コマンドである、請

2

求項 4 記載の半導体記憶装置。

【請求項 6】 前記内部回路は、  
行列状に配置された複数のメモリセルと、  
前記複数のメモリセルの行にそれぞれ対応して配置さ  
れ、選択的に活性化される複数のワード線と、  
前記複数のメモリセルの列にそれぞれ対応して配置さ  
れ、活性化されたワード線に対応するメモリセルのそれ  
ぞれと結合される複数のビット線とを含み、  
前記第 2 のコマンドは、前記データ保持動作を指示す  
るためのリフレッシュコマンドであり、  
前記リフレッシュコマンドの開始後において、各前記ワ  
ード線が非活性化された状態において、前記低消費電力  
モードは開始される、請求項 4 記載の半導体記憶装置。

【請求項 7】 前記低消費電力モード時において、前記  
第 2 のコマンドの入力前に第 1 のレベルに設定される外  
部制御信号の前記第 1 のレベルから第 2 のレベルへの変  
化に対応して、前記通常モードへの復帰を指示するた  
めの制御回路をさらに備える、請求項 4 記載の半導体記憶  
装置。

【請求項 8】 前記第 1 および第 2 のレベルは、前記第  
1 および第 2 の外部電源電圧の一方ずつにそれぞれ対応  
し、

前記外部制御信号を受けて内部制御信号を生成するた  
めの内部制御信号生成回路をさらに備え、

前記内部制御信号生成回路は、

前記低消費電力モードにおいて動作する、前記第 1 の外  
部電源電圧で駆動される第 1 のバッファと、

前記通常モードにおいて動作する、前記内部電源電圧で  
駆動される前記外部制御信号を受けるための第 2 のバッ  
ファと、

前記第 1 および第 2 のバッファのうちの動作している一  
方で受けた前記外部制御信号に応じて、前記内部制御信  
号を前記内部電源電圧および前記第 2 の内部電源電圧の  
いずれかに設定する論理回路とを含み、

前記制御回路は、前記内部制御信号に応答して前記復帰  
を指示する、請求項 7 記載の半導体記憶装置。

【請求項 9】 前記内部電源回路は、

前記参照電圧生成部と前記内部電源電圧発生部との間に  
設けられ、前記参照電圧生成部からの前記参照電圧を前  
記内部電源電圧発生部に伝達するためのバッファ部と、

前記低消費電力モード時に、前記バッファ部の動作電流  
を遮断するための第 3 の電流遮断スイッチとを含む、請  
求項 1 記載の半導体記憶装置。

【請求項 10】 前記バッファ部は、

動作電流量を制御するための動作電流制御部をさらに含  
み、

前記動作電流制御部は、前記低消費電力モードから前記  
通常モードへの移行期間における前記動作電流量を、前  
記通常モード時よりも大きく設定する、請求項 9 記載の  
半導体記憶装置。

## 3

【請求項 1 1】 前記参照電圧生成部は、前記低消費電力モードにおいて、前記参照電圧を前記第 2 の外部電源電圧に設定し、

前記移行期間は、前記参照電圧が所定レベル以下である期間に相当する、請求項 1 0 記載の半導体記憶装置。

【請求項 1 2】 外部電源電圧のレベルを切換可能な半導体記憶装置であって、

データ読出動作、データ書込動作およびデータ保持動作を実行するための内部回路と、

前記外部電源電圧の供給を受ける外部電源配線と、  
前記内部回路に対して内部電源電圧を伝達するための内部電源配線と、

前記外部電源電圧を受けて、前記内部電源電圧を目標レベルに維持するために前記内部電源配線に内部電源電流を供給する内部電源回路とを備え、

前記内部電源回路における前記内部電源電流の供給動作は、前記内部電源電圧の制御応答性を前記外部電源電圧のレベルにかかわらず同様に維持するために、前記外部電源電圧のレベルに応じて切換えられる、半導体記憶装置。

【請求項 1 3】 前記内部電源回路は、  
前記外部電源電圧を受けて、前記目標レベルに対応する参照電圧を生成する参照電圧生成部と、

前記参照電圧と前記内部電源電圧との比較結果に応じた電圧を内部ノードに生成する電圧比較部と、

前記外部電源配線と前記内部電源配線との間に配置され、前記外部電源電圧のレベルにかかわらず同様の電流供給能力で、内部電源電流を前記内部電源配線に供給するための内部電源電流供給部とを含み、

前記内部電源電流供給部は、前記外部電源電圧のレベルが前記目標レベルよりも高い場合には、内部ノードの電圧に応じて前記内部電源電流を供給するとともに、前記外部電源電圧のレベルが前記目標レベルに相当する外部電源直結モード時には、前記外部電源配線および前記内部電気配線を電気的に結合して前記内部電源電流を供給する、請求項 1 2 記載の半導体記憶装置。

【請求項 1 4】 前記内部電源電流供給部は、前記外部電源配線と前記内部電源配線との間に配置され、前記内部ノードの電圧に応じた電流を前記内部電源電流として前記内部電源配線に供給するための第 1 のドライバトランジスタと、

前記外部電源直結モード時にオンして、前記外部電源配線と前記内部電源配線とを電気的に結合する第 2 のドライバトランジスタと、

前記外部電源直結モード時にオンして、前記第 1 のドライバトランジスタをオンさせるための電圧と前記内部ノードとを電気的に結合する接続スイッチとを有する、請求項 1 3 記載の半導体記憶装置。

【請求項 1 5】 前記内部電源回路は、  
前記外部電源電圧を受けて、前記目標レベルに対応する

## 4

参照電圧を生成する参照電圧生成部と、

前記参照電圧と前記内部電源電圧との比較結果に応じた電圧を内部ノードに生成する電圧比較部と、

前記外部電源電圧のレベルが前記目標レベルに相当する場合において、前記電圧比較部の動作電流を遮断するための電流遮断スイッチと、

前記外部電源配線と前記内部電源配線との間に配置され、前記内部ノードの電圧に応じた電流を前記内部電源電流として前記内部電源配線に供給するためのドライバトランジスタと、

前記外部電源電圧のレベルが前記目標レベルに相当する外部電源直結モード時にオンして、前記ドライバトランジスタをオンさせるための電圧と前記内部ノードとの間を電気的に結合する接続スイッチとを有する、請求項 1 2 記載の半導体記憶装置。

【請求項 1 6】 前記内部電源回路は、

前記目標レベルに対応する参照電圧と前記内部電源電圧との比較結果に応じた電圧を第 1 の内部ノードに生成する電圧比較部と、

前記外部電源配線と前記内部電源配線との間に配置され、前記第 1 の内部ノードの電圧に応じて、前記内部電源電流を前記内部電源配線に供給するための内部電源電流供給部とを含み、

前記内部電源電流供給部は、前記外部電源電圧のレベルにかかわらず、同様の電流供給能力で前記内部電源電流を供給する、請求項 1 2 記載の半導体記憶装置。

【請求項 1 7】 前記内部電源電流供給部は、

前記外部電源配線と前記内部電源配線との間に配置され、前記第 1 の内部ノードの電圧に応じた電流を前記内部電源電流として前記内部電源配線に供給するための第 1 のドライバトランジスタと、

前記外部電源配線と前記内部電源配線との間に配置され、第 2 の内部ノードの電圧に応じた電流を前記内部電源電流として前記内部電源配線に供給するための第 2 のドライバトランジスタと、

前記外部電源電圧のレベルに応じて、前記第 1 および第 2 の内部ノードを電気的に結合するためのゲート回路と、

前記ゲート回路と相補的にオンして、前記第 2 のドライバトランジスタをオフさせるための電圧と前記第 2 の内部ノードとを電気的に結合する接続スイッチとを有する、請求項 1 6 記載の半導体記憶装置。

【請求項 1 8】 前記内部電源回路は、

前記目標レベルに対応する参照電圧と前記内部電源電圧との比較結果に応じた電圧を第 1 の内部ノードに生成する電圧比較部と、

前記外部電源配線と前記内部電源配線との間に配置され、前記第 1 の内部ノードの電圧に応じた電流を前記内部電源電流として前記内部電源配線に供給するためのドライバトランジスタと、

10

20

30

40

50

5

前記外部電源電圧のレベルに応じて、前記電圧比較部に供給される動作電流量を切換える第1の動作電流制御部とを含む、請求項12記載の半導体記憶装置。

【請求項19】 前記内部電源回路は、

前記データ保持を行なうためのセルフリフレッシュコマンド実行時に、前記電圧比較部に対して所定の動作電流を供給するための第2の動作電流制御部をさらに含み、前記所定電流は、前記第1の動作電流制御部によって供給される動作電流量よりも小さく、前記セルフリフレッシュコマンド実行時において、前記第1の動作電流制御部による動作電流の供給は停止される、請求項18記載の半導体記憶装置。

【請求項20】 通常モード時において、前記内部電源電圧は前記外部電源電圧よりも高く、

前記内部電源回路は、

アクティブ時およびスタンバイ時の両方に動作して、前記内部電源電圧が前記目標レベルよりも低下したことを検知するための第1の検出部と、

前記アクティブ時に動作して、前記内部電源電圧が前記目標レベルよりも低下したことを検知するための第2の検出部と、

前記内部回路に対するセルフリフレッシュコマンド実行時を除いて、前記第1の検出部の検知結果に応答して動作して、前記内部電源電圧が前記目標レベルよりも低下したことを検知するための第3の検出部と、

前記第2および第3の検出部の検知結果に応答して動作して、前記外部電源電圧を昇圧して前記内部電源電流を供給するための第1の昇圧ユニットと、

前記第1の検出部の検知結果に応答して動作して、前記外部電源電圧を昇圧して前記内部電源電流を供給するための第2の昇圧ユニットとを含む、

前記第2の昇圧ユニットは、前記第1の昇圧ユニットと比較して、単位時間あたりに供給可能な内部電源電流が大きい、請求項12記載の半導体記憶装置。

【請求項21】 前記第1の昇圧ユニットは、

前記第2および第3の検出部の検知結果に応答して、一定周期を有するポンプクロックを生成するための発振部と、

前記ポンプクロックに応答して、第1のノードの電圧を前記外部電源電圧よりも高く設定するポンプ動作部と、

前記第1のノードと前記内部電源配線との間に電氣的に結合される伝達トランジスタと、

前記ポンプクロックに応答して、前記伝達トランジスタのゲート電圧を前記外部電源電圧よりも高く設定するゲート昇圧部とを有し、

前記ポンプ動作部は、

前記ポンプクロックが入力される第2のノードと前記第1のノードとの間に結合される第1のポンプキャパシタと、

前記外部電源電圧のレベルに応じて動作状態となり、前

6

記ポンプクロックを第3のノードに伝達するクロック伝達回路と、

前記第1のノードと前記第3のノードとの間に結合される第1のポンプキャパシタとを有する、請求項20記載の半導体記憶装置。

【請求項22】 前記クロック伝達回路は、テストモード時に入力される信号に応答して、強制的に前記動作状態に設定される、請求項21記載の半導体記憶装置。

【請求項23】 前記第1の昇圧ユニットは、

前記第2および第3の検出部の検知結果に応答して、第1の周期を有する第1のポンプクロックを生成するための第1の発振部と、

前記第1のポンプクロックに応答して、第1のノードの電圧を前記外部電源電圧よりも高く設定する第1のポンプ動作部と、

前記第1のノードと前記内部電源配線との間に電氣的に結合される第1の伝達トランジスタと、

前記第1のポンプクロックに応答して、前記第1の伝達トランジスタのゲート電圧を前記外部電源電圧よりも高く設定する第1のゲート昇圧部とを有し、

前記第2の昇圧ユニットは、

前記第1の検出部の検知結果に応答して、前記第1の周期よりも長い第2の周期を有する第2のポンプクロックを生成するための第2の発振部と、

前記第2のポンプクロックに応答して、第4のノードの電圧を前記外部電源電圧よりも高く設定する第2のポンプ動作部と、

前記第4のノードと前記内部電源配線との間に電氣的に結合される第2の伝達トランジスタと、

前記第2のポンプクロックに応答して、前記第2の伝達トランジスタのゲート電圧を前記外部電源電圧よりも高く設定する第2のゲート昇圧部とを有し、

前記第1および第2のゲート昇圧部は、前記外部電源電圧のレベルに応じて、前記外部電源電圧からの昇圧量を切換える、請求項21記載の半導体記憶装置。

【請求項24】 前記発振部は、

循環状に結合された奇数個のインバータと、

前記インバータ間に結合される遅延素子とを有する、請求項20記載の半導体記憶装置。

【請求項25】 前記遅延素子は、半導体基板上に形成される拡散抵抗を含む、請求項24記載の半導体記憶装置。

【請求項26】 前記内部電源回路は、

低消費電力モード時に、前記外部電源配線と前記内部電源配線とを電氣的に結合するための接続スイッチと、

前記低消費電力モード時に、前記電圧比較部の動作電流を遮断するための電流遮断スイッチとを含む、請求項20記載の半導体記憶装置。

【請求項27】 複数の動作条件のうちの1つが選択的に適用される半導体記憶装置であって、

7

動作テスト時において、複数ビットを有する信号の特定の組合せに応じて、所定テストの起動を指示するための動作テスト制御回路を備え、

前記動作テスト制御回路は、

前記特定の組合せにตอบสนองして、第1のテストエントリ信号を活性化するための第1のテストエントリ回路と、

前記複数の動作条件の特定の動作条件が指定されている場合に、前記第1のテストエントリ信号を強制的に非活性化するためのテストエントリ無効化回路とを含み、

前記動作テスト制御回路は、前記第1のテストエントリ信号の活性化にตอบสนองして前記所定テストを起動する、半導体記憶装置。

【請求項28】 前記動作テスト制御回路は、前記特定の組合せとは異なる、前記信号の他の組合せにตอบสนองして、第2のテストエントリ信号を活性化するための第2のテストエントリ回路をさらに含み、

前記動作テスト制御回路は、第1および第2のテストエントリ信号のいずれかの活性化にตอบสนองして前記所定テストを起動する、請求項27記載の半導体記憶装置。

【請求項29】 各前記動作条件は、供給される外部電源電圧のレベルに対応する、請求項27記載の半導体記憶装置。

【請求項30】 各前記動作条件は、入出力される信号の振幅電圧に対応する、請求項27記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、より特定的には、低消費電力で動作可能な半導体記憶装置に関する。

【0002】

【従来の技術】近年、バッテリー駆動を前提とする携帯機器等への搭載に対応するため、低消費電力駆動が可能な半導体記憶装置が要求されている。このような要求に対応するために、半導体記憶装置には、データ読出やデータ書込などの通常動作が要求される通常モード時以外において、内部回路の大部分を待機動作状態に設定して、消費電力を削減するための低消費電力モードが備えられる。すなわち、外部からの動作要求に応じて、通常モードと低消費電力モードとを切替えることによって、半導体記憶装置の低消費電力化が図られる。

【0003】低消費電力化には低電圧動作化が有効であるため、外部から供給される外部電源電圧のレベルも低下する傾向にある。たとえば、従来の汎用系においては、3.3V系(3.0V～3.6V)外部電源電圧が使用されていたが、低電圧動作に対応するタイプとして、2.7V系(2.7V～3.0V)や、2.5V系(2.3V～2.7V)外部電源電圧が使用されるようになっている。

【0004】

8

【発明が解決しようとする課題】一方で、低消費電力化が進むにしたがって、半導体記憶装置全体の消費電力に対する、内部電源電圧を発生するための内部電源回路の消費電力の比率が増加している。さらに、低電圧動作に伴って内部電源回路の電力効率が低下するため、内部電源電圧の供給先である内部回路を待機状態にして消費電力を削減するのみでなく、内部電源回路の自体の消費電力をも削減する、より強力な低消費電力モードを導入する必要性が生じてきている。

【0005】このような低消費電力モードにおいても、そのモードエントリが、特別なエントリ方法を用いるのではなく、既存の制御系を共用した形で、実行できることが望ましい。さらに、低消費電力モードへの移行、および通常モードへの復帰がスムーズに行なわれることも望まれる。

【0006】さらに、上述したようにさまざまなレベルの外部電源電圧が適用される下で、半導体記憶装置の設計に汎用性を持たせるためには、異なるレベルの外部電源電圧に対応可能な構成を有する必要がある。たとえば、異なるレベルの外部電源電圧が適用されても、内部電源電圧の制御応答性を一様に維持できる構成が、内部電源回路に要求される。

【0007】さらに、半導体記憶装置が組込まれるシステム内のインターフェイス仕様によっては、1.8V系のTTL(Transistor-Transistor Logic)レベルのI/O(Input/Output)信号レベルに対応する必要もあるので、信号入力回路系においても、異なるI/O信号レベルを、入力可能な構成とすることが望ましい。

【0008】一方、さまざまな動作条件、たとえば外部電源電圧レベルやI/O信号レベルに可能なように汎用的に設計された半導体記憶装置において、マスク切替等によって、適用される動作条件をハード的に固定する場合においては、この固定された動作条件を、半導体記憶装置外部から、容易に検知可能な構成も必要になってくる。

【0009】この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、低消費電力動作が可能な半導体記憶装置を提供することである。

【0010】この発明の他の目的は、さまざまなレベルの外部電源電圧およびI/O信号に対応して動作可能な半導体記憶装置を提供することである。

【0011】この発明のさらにもう1つの目的は、さまざまな動作条件に対応可能なように設計された半導体記憶装置において、適用される動作条件を外部から容易に検知可能な構成を提供することである。

【0012】

【課題を解決するための手段】請求項1記載の半導体記憶装置は、通常モードと低消費電力モードとを有する半導体記憶装置であって、データ読出動作、データ書込動

9

作およびデータ保持動作を実行するための内部回路と、第1の外部電源電圧の供給を受ける第1の外部電源配線と、第1の外部電源電圧よりも低い第2の外部電源電圧の供給を受ける第2の外部電源配線と、内部回路に対して内部電源電圧を伝達するための内部電源配線と、第1および第2の外部電源電圧を受けて、内部電源電圧を生成するための内部電源回路とを備える。内部電源回路は、第1および第2の外部電源電圧を受けて、内部電源電圧の目標レベルに対応する参照電圧を生成するための参照電圧生成部と、低消費電力モード時に、参照電圧生成部の動作電流を遮断するための第1の電流遮断スイッチと、内部電源電圧と参照電圧との比較に基づいて、内部電源電圧を目標レベルに維持するための内部電源電圧発生部と、低消費電力モード時に、内部電源電圧発生部の動作電流を遮断するための第2の電流遮断スイッチと、低消費電力モード時に、第1および第2の外部電源配線の一方を内部電源配線と電気的に結合するための接続スイッチとを含む。

【0013】請求項2記載の半導体記憶装置は、請求項1記載の半導体記憶装置であって、接続スイッチは、第1の外部電源配線と内部電源配線との間に電気的に結合されるNチャネル電界効果型トランジスタを含み、Nチャネル電界効果型トランジスタのゲートには、低消費電力モード時において、第1の外部電源電圧が印加される。

【0014】請求項3記載の半導体記憶装置は、請求項1記載の半導体記憶装置であって、接続スイッチは、第2の外部電源配線と内部電源配線との間に電気的に結合されるPチャネル電界効果型トランジスタを含み、Pチャネル電界効果型トランジスタのゲートには、低消費電力モード時において、第2の外部電源電圧が印加される。

【0015】請求項4記載の半導体記憶装置は、請求項1記載の半導体記憶装置であって、第1のコマンドに伴って外部から入力されるモード設定を保持するためのモードレジスタをさらに備える。モード設定は、通常モードから低消費電力モードへの移行を行なうかどうかの指定を含み、モード設定において移行を行なうことが指定されている場合において、第2のコマンドに回答して低消費電力モードは開始される。

【0016】請求項5記載の半導体記憶装置は、請求項4記載の半導体記憶装置であって、第2のコマンドは、低消費電力モードの開始を指示するための専用コマンドである。

【0017】請求項6記載の半導体記憶装置は、請求項4記載の半導体記憶装置であって、内部回路は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、選択的に活性化される複数のワード線と、複数のメモリセルの列にそれぞれ対応して配置され、活性化されたワード線に対応するメモ

10

リセルのそれぞれと結合される複数のビット線とを含む。第2のコマンドは、データ保持動作を指示するためのリフレッシュコマンドであり、リフレッシュコマンドの開始後において、各ワード線が非活性化された状態において、低消費電力モードは開始される。

【0018】請求項7記載の半導体記憶装置は、請求項4記載の半導体記憶装置であって、低消費電力モード時において、第2のコマンドの入力前に第1のレベルに設定される外部制御信号の第1のレベルから第2のレベルへの変化に対応して、通常モードへの復帰を指示するための制御回路をさらに備える。

【0019】請求項8記載の半導体記憶装置は、請求項7記載の半導体記憶装置であって、第1および第2のレベルは、第1および第2の外部電源電圧の一方ずつにそれぞれ対応し、外部制御信号を受けて内部制御信号を生成するための内部制御信号生成回路をさらに備える。内部制御信号生成回路は、低消費電力モードにおいて動作する、第1の外部電源電圧で駆動される第1のバッファと、通常モードにおいて動作する、内部電源電圧で駆動される外部制御信号を受けるための第2のバッファと、第1および第2のバッファのうちの動作している一方で受けた外部制御信号に応じて、内部制御信号を内部電源電圧および第2の内部電源電圧のいずれかに設定する論理回路とを含む。制御回路は、内部制御信号に回答して復帰を指示する。

【0020】請求項9記載の半導体記憶装置は、請求項1記載の半導体記憶装置であって、内部電源回路は、参照電圧生成部と内部電源電圧発生部との間に設けられ、参照電圧生成部からの参照電圧を内部電源電圧発生部に伝達するためのバッファ部と、低消費電力モード時に、バッファ部の動作電流を遮断するための第3の電流遮断スイッチとを含む。

【0021】請求項10記載の半導体記憶装置は、請求項9記載の半導体記憶装置であって、バッファ部は、動作電流量を制御するための動作電流制御部をさらに含む。動作電流制御部は、低消費電力モードから通常モードへの移行期間における動作電流量を、通常モード時よりも大きく設定する。

【0022】請求項11記載の半導体記憶装置は、請求項10記載の半導体記憶装置であって、参照電圧生成部は、低消費電力モードにおいて、参照電圧を第2の外部電源電圧に設定し、移行期間は、参照電圧が所定レベル以下である期間に相当する。

【0023】請求項12記載の半導体記憶装置は、外部電源電圧のレベルを切換可能な半導体記憶装置であって、データ読出動作、データ書込動作およびデータ保持動作を実行するための内部回路と、外部電源電圧の供給を受ける外部電源配線と、内部回路に対して内部電源電圧を伝達するための内部電源配線と、外部電源電圧を受けて、内部電源電圧を目標レベルに維持するために内部



11

電源配線に内部電源電流を供給する内部電源回路とを備える。内部電源回路における内部電源電流の供給動作は、内部電源電圧の制御応答性を外部電源電圧のレベルにかかわらず同様に維持するために、外部電源電圧のレベルに応じて切換えられる。

【0024】請求項13記載の半導体記憶装置は、請求項12記載の半導体記憶装置であって、内部電源回路は、外部電源電圧を受けて、目標レベルに対応する参照電圧を生成する参照電圧生成部と、参照電圧と内部電源電圧との比較結果に応じた電圧を内部ノードに生成する電圧比較部と、外部電源配線と内部電源配線との間に配置され、外部電源電圧のレベルにかかわらず同様の電流供給能力で、内部電源電流を内部電源配線に供給するための内部電源電流供給部とを含む。内部電源電流供給部は、外部電源電圧のレベルが目標レベルよりも高い場合には、内部ノードの電圧に応じて内部電源電流を供給するとともに、外部電源電圧のレベルが目標レベルに相当する外部電源直結モード時には、外部電源配線および内部電気配線を電氣的に結合して内部電源電流を供給する。

【0025】請求項14記載の半導体記憶装置は、請求項13記載の半導体記憶装置であって、内部電源電流供給部は、外部電源配線と内部電源配線との間に配置され、内部ノードの電圧に応じた電流を内部電源電流として内部電源配線に供給するための第1のドライバトランジスタと、外部電源直結モード時にオンして、外部電源配線と内部電源配線とを電氣的に結合する第2のドライバトランジスタと、外部電源直結モード時にオンして、第1のドライバトランジスタをオンさせるための電圧と内部ノードとを電氣的に結合する接続スイッチとを有する。

【0026】請求項15記載の半導体記憶装置は、請求項12記載の半導体記憶装置であって、内部電源回路は、外部電源電圧を受けて、目標レベルに対応する参照電圧を生成する参照電圧生成部と、参照電圧と内部電源電圧との比較結果に応じた電圧を内部ノードに生成する電圧比較部と、外部電源電圧のレベルが目標レベルに相当する場合において、電圧比較部の動作電流を遮断するための電流遮断スイッチと、外部電源配線と内部電源配線との間に配置され、内部ノードの電圧に応じた電流を内部電源電流として内部電源配線に供給するためのドライバトランジスタと、外部電源電圧のレベルが目標レベルに相当する外部電源直結モード時にオンして、ドライバトランジスタをオンさせるための電圧と内部ノードとの間を電氣的に結合する接続スイッチとを有する。

【0027】請求項16記載の半導体記憶装置は、請求項12記載の半導体記憶装置であって、内部電源回路は、目標レベルに対応する参照電圧と内部電源電圧との比較結果に応じた電圧を第1の内部ノードに生成する電圧比較部と、外部電源配線と内部電源配線との間に配置

12

され、第1の内部ノードの電圧に応じて、内部電源電流を内部電源配線に供給するための内部電源電流供給部とを含む。内部電源電流供給部は、外部電源電圧のレベルにかかわらず、同様の電流供給能力で内部電源電流を供給する。

【0028】請求項17記載の半導体記憶装置は、請求項16記載の半導体記憶装置であって、内部電源電流供給部は、外部電源配線と内部電源配線との間に配置され、第1の内部ノードの電圧に応じた電流を内部電源電流として内部電源配線に供給するための第1のドライバトランジスタと、外部電源配線と内部電源配線との間に配置され、第2の内部ノードの電圧に応じた電流を内部電源電流として内部電源配線に供給するための第2のドライバトランジスタと、外部電源電圧のレベルに応じて、第1および第2の内部ノードを電氣的に結合するためのゲート回路と、ゲート回路と相補的にオンして、第2のドライバトランジスタをオフさせるための電圧と第2の内部ノードとを電氣的に結合する接続スイッチとを有する。

【0029】請求項18記載の半導体記憶装置は、請求項12記載の半導体記憶装置であって、内部電源回路は、目標レベルに対応する参照電圧と内部電源電圧との比較結果に応じた電圧を第1の内部ノードに生成する電圧比較部と、外部電源配線と内部電源配線との間に配置され、第1の内部ノードの電圧に応じた電流を内部電源電流として内部電源配線に供給するためのドライバトランジスタと、外部電源電圧のレベルに応じて、電圧比較部に供給される動作電流量を切換える第1の動作電流制御部とを含む。

【0030】請求項19記載の半導体記憶装置は、請求項18記載の半導体記憶装置であって、内部電源回路は、データ保持を行なうためのセルフリフレッシュコマンド実行時に、電圧比較部に対して所定の動作電流を供給するための第2の動作電流制御部をさらに含む。所定電流は、第1の動作電流制御部によって供給される動作電流量よりも小さく、セルフリフレッシュコマンド実行時において、第1の動作電流制御部による動作電流の供給は停止される。

【0031】請求項20記載の半導体記憶装置は、請求項12記載の半導体記憶装置であって、通常モード時において、内部電源電圧は外部電源電圧よりも高く、内部電源回路は、アクティブ時およびスタンバイ時の両方に動作して、内部電源電圧が目標レベルよりも低下したことを検知するための第1の検出部と、アクティブ時に動作して、内部電源電圧が目標レベルよりも低下したことを検知するための第2の検出部と、内部回路に対するセルフリフレッシュコマンド実行時を除いて、第1の検出部の検知結果に応答して動作して、内部電源電圧が目標レベルよりも低下したことを検知するための第3の検出部と、第2および第3の検出部の検知結果に応答して動



13

作して、外部電源電圧を昇圧して内部電源電流を供給するための第1の昇圧ユニットと、第1の検出部の検知結果に応答して動作して、外部電源電圧を昇圧して内部電源電流を供給するための第2の昇圧ユニットを含む。第2の昇圧ユニットは、第1の昇圧ユニットと比較して、単位時間あたりに供給可能な内部電源電流が大きい。

【0032】請求項21記載の半導体記憶装置は、請求項20記載の半導体記憶装置であって、第1の昇圧ユニットは、第2および第3の検出部の検知結果に応答して、一定周期を有するポンプクロックを生成するための発振部と、ポンプクロックに応答して、第1のノードの電圧を外部電源電圧よりも高く設定するポンプ動作部と、第1のノードと内部電源配線との間に電気的に結合される伝達トランジスタと、ポンプクロックに応答して、伝達トランジスタのゲート電圧を外部電源電圧よりも高く設定するゲート昇圧部とを有する。ポンプ動作部は、ポンプクロックが入力される第2のノードと第1のノードとの間に結合される第1のポンプキャパシタと、外部電源電圧のレベルに応じて動作状態となり、ポンプクロックを第3のノードに伝達するクロック伝達回路と、第1のノードと第3のノードとの間に結合される第1のポンプキャパシタとを有する。

【0033】請求項22記載の半導体記憶装置は、請求項21記載の半導体記憶装置であって、クロック伝達回路は、テストモード時に入力される信号に応答して、強制的に動作状態に設定される。

【0034】請求項23記載の半導体記憶装置は、請求項21記載の半導体記憶装置であって、第1の昇圧ユニットは、第2および第3の検出部の検知結果に応答して、第1の周期を有する第1のポンプクロックを生成するための第1の発振部と、第1のポンプクロックに応答して、第1のノードの電圧を外部電源電圧よりも高く設定する第1のポンプ動作部と、第1のノードと内部電源配線との間に電気的に結合される第1の伝達トランジスタと、第1のポンプクロックに応答して、第1の伝達トランジスタのゲート電圧を外部電源電圧よりも高く設定する第1のゲート昇圧部とを有する。第2の昇圧ユニットは、第1の検出部の検知結果に応答して、第1の周期よりも長い第2の周期を有する第2のポンプクロックを生成するための第2の発振部と、第2のポンプクロックに応答して、第4のノードの電圧を外部電源電圧よりも高く設定する第2のポンプ動作部と、第4のノードと内部電源配線との間に電気的に結合される第2の伝達トランジスタと、第2のポンプクロックに応答して、第2の伝達トランジスタのゲート電圧を外部電源電圧よりも高く設定する第2のゲート昇圧部とを有する。第1および第2のゲート昇圧部は、外部電源電圧のレベルに応じて、外部電源電圧からの昇圧量を切換える。

【0035】請求項24記載の半導体記憶装置は、請求

14

項20記載の半導体記憶装置であって、発振部は、循環状に結合された奇数個のインバータと、インバータ間に結合される遅延素子とを有する。

【0036】請求項25記載の半導体記憶装置は、請求項24記載の半導体記憶装置であって、遅延素子は、半導体基板上に形成される拡散抵抗を含む。

【0037】請求項26記載の半導体記憶装置は、請求項20記載の半導体記憶装置であって、内部電源回路は、低消費電力モード時に、外部電源配線と内部電源配線とを電気的に結合するための接続スイッチと、低消費電力モード時に、電圧比較部の動作電流を遮断するための電流遮断スイッチとを含む。

【0038】請求項27記載の半導体記憶装置は、複数の動作条件のうちの1つが選択的に適用される半導体記憶装置であって、動作テスト時において、複数ビットを有する信号の特定の組合せに応じて、所定テストの起動を指示するための動作テスト制御回路を備える。動作テスト制御回路は、特定の組合せに応答して、第1のテストエントリ信号を活性化するための第1のテストエントリ回路と、複数の動作条件の特定の動作条件が指定されている場合に、第1のテストエントリ信号を強制的に非活性化するためのテストエントリ無効化回路とを含む。動作テスト制御回路は、第1のテストエントリ信号の活性化に応答して所定テストを起動する。

【0039】請求項28記載の半導体記憶装置は、請求項27記載の半導体記憶装置であって、動作テスト制御回路は、特定の組合せとは異なる、信号の他の組合せに応答して、第2のテストエントリ信号を活性化するための第2のテストエントリ回路をさらに含む。動作テスト制御回路は、第1および第2のテストエントリ信号のいずれかの活性化に応答して所定テストを起動する。

【0040】請求項29記載の半導体記憶装置は、請求項27記載の半導体記憶装置であって、各動作条件は、供給される外部電源電圧のレベルに対応する。

【0041】請求項30記載の半導体記憶装置は、請求項27記載の半導体記憶装置であって、各動作条件は、入出力される信号の振幅電圧に対応する。

【0042】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中における同一符号は、同一または相当部分を示すものとする。

【0043】【実施の形態1】図1は、本発明の実施の形態1に従う半導体記憶装置1000の全体構成を示す概略ブロック図である。

【0044】図1を参照して、本発明の実施の形態1に従う半導体記憶装置1000は、メモリアレイ部10を備える。メモリアレイ部10は、メモリセルアレイ20と、行選択部30と、列選択部およびセンスアンプ40とを含む。

15

【0045】メモリセルアレイ20は、行列状に配置された複数のメモリセルMCを有する。メモリセルMCの構成は特に限定されず、種々のタイプのDRAM (Dynamic Random Access Memory) セルを本願発明に適用可能である。

【0046】メモリセルMCの各行に対応して、行選択を実行するためのワード線WLが配置される。メモリセルMCの各列に対応して、ビット線対BLPが配置される。ビット線対BLPは、相補のビット線BLおよび／BLを有する。各メモリセル行において、メモリセルMCの各々は、ビット線BLおよび／BLのいずれか一方と結合されている。図1においては、1個のメモリセルに対するワード線およびビット線対の配置が代表的に示されている。

【0047】行選択部30は、アドレス信号に従って、選択行に対応するワード線WLを選択的に活性化する。選択行に対応するメモリセルのそれぞれは、ビット線BLまたは／BLと接続される。列選択部およびセンスアンプ40は、各ビット線対BLPにおいて、ビット線BLおよび／BLの電圧差を増幅するセンスアンプと、アドレス信号に従って選択列に対応するビット線対BLPを選択するための列選択部とを含む。

【0048】半導体記憶装置1000は、さらに、入力初段回路50と、周辺回路制御部60と、メモリアレイ部制御回路70、75と、出力回路80とをさらに備える。

【0049】入力初段回路50は、クロック、コマンド、アドレスおよび書込データを総括的に示す入力信号を外部から受ける。周辺回路制御部60は、入力初段回路50を介して伝達された入力信号によって示されるコマンドを実行するための制御信号を生成し、メモリアレイ部制御回路70、75等の内部回路に伝達する。

【0050】外部から入力されるコマンドには、データ読出を指示するリードコマンドREAD、データ書込を指示するライトコマンドWRITE、モードレジスタの保持内容を更新するためのモードレジスタセットコマンドMRS、特に動作状態が指示されないノーオペレーションコマンドNOP、特定のバンクを活性化するためのバンクアクティブコマンドACT、特定のバンクをプリチャージ状態とするためのバンクプリチャージコマンドPRE、オートリフレッシュコマンドAREFおよびセルフリフレッシュコマンドSREFなどが含まれる。

【0051】オートリフレッシュコマンドAREFおよびセルフリフレッシュコマンドSREFは、メモリセルアレイ20に記憶されたデータの消失を防止するための、データ保持動作（リフレッシュ動作）を指示する。

【0052】リフレッシュ動作時には、ワード線WLが順に活性化されて、活性化されたワード線に対応するメモリセルに対するデータの読出、増幅および再書込が、センスアンプによって実行される。

16

【0053】オートリフレッシュコマンドAREFは、データ読出やデータ書込といったランダムアクセス動作中に割込んで指示される。一方、セルフリフレッシュコマンドSREFは、電池バックアップ期間等のスタンバイ期間において、メモリアレイ部10における記憶情報を保持するために指示される。

【0054】周辺回路制御部60は、モードレジスタ65を有する。モードレジスタ65においては、外部から指示されたモードレジスタセットコマンドMRSに対応して入力されるアドレスを構成するアドレスビットのそれぞれを保持する。モードレジスタ65に保持されたアドレスビットに応じて、レイテンシ設定や、バースト動作に関する設定等が実行される。

【0055】メモリアレイ部制御回路70は、周辺回路制御部60によって生成された行系動作制御信号SGrに应答して、メモリアレイ部10に対する行系動作を制御する。メモリアレイ部制御回路75は、周辺回路制御部60によって生成された列系動作制御信号SGcに应答して、メモリアレイ部10における列系動作を制御する。

【0056】出力回路80は、リードコマンドREADが入力された場合において、メモリアレイ部10からの読出データを外部に対して出力する。

【0057】半導体記憶装置1000は、さらに、内部電源回路100を備える。内部電源回路100は、外部電源配線90および接地配線95から外部電源電圧Ext. Vddおよび接地電圧Vssをそれぞれ受けて、内部電源電圧を生成する。

【0058】内部電源電圧は、ワード線電圧VPP、基板電圧VBB、セルプレート電圧VCP、ビット線電圧VBL、周辺回路電源電圧VDDP、メモリアレイ電源電圧VDDsを含む。セルプレート電圧VCPおよびビット線電圧VBLは、メモリアレイ電源電圧VDDsの1/2のレベルに設定される。

【0059】さらに、内部電源回路100は、外部入力信号用参照電圧VREFIを生成する。入力初段回路50は、外部入力信号用参照電圧VREFIに基づいて、入力信号のHレベル／Lレベルを認識する。

【0060】ワード線電圧VPP、基板電圧VBB、セルプレート電圧VCPおよびビット線電圧VBLは、メモリアレイ部10に供給される。メモリアレイ電源電圧VDDsは、メモリアレイ部制御回路70および75に供給される。周辺回路電源電圧VDDPは、周辺回路制御部60に対して供給される。

【0061】周辺回路制御部60は、外部から入力された所定コマンドに基づいて、半導体記憶装置1000を低消費電力モードに移行させる。低消費電力モード時には、周辺回路制御部60は、パワーカット信号PCUTEをHレベルに活性化する。内部電源回路100における消費電力は、パワーカット信号PCUTEの活

17

性化にตอบสนองして削減される。

【0062】なお、以下の説明で明らかになるように、本発明の実施の形態1に従う低消費電力モードは、セルフリフレッシュコマンドSREF等によって、メモリアレイ部10における記憶データ保持を前提とする従来の低消費電力モードより一段進んで、さらなる低消費電力動作化を追求したものである。したがって、以下においては、半導体記憶装置1000における低消費電力モードを、特に「ディープ・パワーダウンモード」と称することとする。

【0063】〔ディープ・パワーダウンモードにおける内部電源電圧レベルの設定〕図2は、通常モードおよびディープ・パワーダウンモードにおける内部電源電圧の設定を説明する図である。

【0064】図2を参照して、通常モードにおいて、周辺回路電源電圧VDDPは、2.5Vに設定される。したがって、外部動作電源電圧が2.5V系である場合には、外部電源電圧Ext. Vddがそのまま周辺回路電源電圧VDDPとして使用される。それ以外の場合、たとえば外部電源電圧が2.7V系である場合には、外部電源電圧Ext. Vddを降圧して、周辺回路電源電圧VDDPが生成される。

【0065】ディープ・パワーダウンモードにおいては、外部電源電圧Ext. Vddが2.5V系である場合には、周辺回路電源電圧VDDPは、通常モードと同様に、外部電源電圧Ext. Vddがそのまま使用できる。一方、外部電源電圧が2.7V系である場合には、外部電源電圧Ext. VddをVtn降圧させて、周辺回路電源電圧VDDPが生成される。ディープ・パワーダウンモードにおける内部電源電圧の生成については、後ほど詳細に説明するが、Vtnは、内部電源回路100内に配置されるN型トランジスタのしきい値電圧に相当する。

【0066】メモリアレイ電源電圧VDDSは、通常モードでは外部電源電圧Ext. Vddを降圧して2.0Vに設定される。一方、ディープ・パワーダウンモードにおいては、周辺回路電源電圧VDDPと同様に、Ext. Vdd-Vtnに設定される。

【0067】ビット線電圧VBLおよびセルプレート電圧VCPは、通常モードでは、メモリアレイ電源電圧VDDSの1/2に、すなわち1.0Vに設定される。ディープ・パワーダウンモードにおいては、ビット線電圧VBLおよびセルプレート電圧VCPの供給は中止され、対応する内部電源配線は、開放(Open)状態とされる。

【0068】基板電圧VBBは、通常モードでは-1.0Vに設定され、ディープ・パワーダウンモードでは、0Vすなわち接地電圧Vssに設定される。

【0069】ワード線電圧VPPは、通常モード時においては、外部電源電圧Ext. Vddを昇圧して、3.50

18

7Vに設定される。ディープ・パワーダウンモードにおいては、ワード線電圧VPPは、周辺回路電源電圧VDDPと同様に、Ext. VddまたはExt. Vdd-7Vに設定される。

【0070】なお、図2に示した、通常モードにおける内部電源電圧の設定レベルは一例にすぎず、これらの内部電源電圧がその他の電圧レベルに設定される場合においても、本願発明に従うディープ・パワーダウンモードを適用することが可能である。

10 【0071】〔ディープ・パワーダウンモードへのエントリ方式〕図3は、モードレジスタセットに用いられるアドレスビットの構成を説明する図である。

【0072】図3を参照して、モードレジスタセットコマンドMRSによって入力されるアドレスビットA0～A11、BA0、BA1は、モードレジスタ65内に保持される。

【0073】モードレジスタ65内に保持されたこれらのアドレスビットに応じて、半導体記憶装置1000の動作状態の一部が設定される。たとえば、モードレジスタ65に保持されるアドレスビットA0～A2は、バースト長設定を示す。また、アドレスビットA3は、バーストタイプ(シーケンシャル/インタリーブ)設定を示し、アドレスビットA4～A6は、レイテンシモード設定すなわちCASレイテンシに相当するクロックサイクル数を示す。また、アドレスビットA9によって、ライトモード(1ビットライト/バーストライト)設定が示される。

【0074】半導体記憶装置1000において、ディープ・パワーダウンモードを適用するか否かは、通常モードレジスタセットに未使用のアドレスビットを用いて実行される。たとえば、以上で述べたモードレジスタセットに未使用のアドレスビットA7およびA8を用いて、ディープ・パワーダウンモードの適用、すなわち所定の条件がそろった場合に、ディープ・パワーダウンモードにエントリすることを設定するためのモードレジスタセットが実行される。

【0075】図4は、半導体記憶装置1000における、ディープ・パワーダウンモードへのエントリ方式の一例を説明するタイミングチャートである。

40 【0076】図4を参照して、半導体記憶装置1000に対するコマンドCMDの入力は、外部クロックEXTCLKに同期して実行される。時刻t0において、外部からセルフリフレッシュコマンドSREFが指示される。セルフリフレッシュコマンドSREF入力時には、外部クロックイネーブル信号EXTCKEは、Lレベルに設定される。

【0077】これにตอบสนองして、半導体記憶装置1000内部では、リフレッシュ動作の実行が指示され、リフレッシュ対象のワード線を活性化するために、内部制御信号INTRASがHレベルに活性化され、活性化された

19

ワード線に対応するメモリセルに対して、データ読出、増幅および再書込が実行される。

【0078】1回分の行系動作が実行し、内部制御信号11でSがHレベルからLレベルに変化すると、これにตอบสนองして制御信号S0Dが所定期間Hレベルに活性化される。一旦活性化された制御信号S0Dが非活性化されたタイミングにおいて、メモリアレイ部10においては、すべてのワード線WLが非活性化状態であり、各ビット線BLおよびBLはプリチャージされているものとする。

【0079】モードレジスタセットによって、ディープ・パワーダウンモードが適用されている場合には、制御信号S0Dの非活性化（Hレベル→Lレベル）にตอบสนองして、時刻t1において、パワーカット信号PCUTEがHレベルに活性化される。これに伴って、内部電源回路100における内部動作が切替わる。この結果、内部電源電圧は、ディープ・パワーダウンモードに対応する、図2に示した電圧レベルに設定される。

【0080】すなわち、通常モードからディープ・パワーダウンモードへの移行は、モードレジスタセットコマンドMRSによって、ディープ・パワーダウンモードの適用が設定されている場合において、セルフリフレッシュコマンドSREFが要求されたときに、少なくとも1回の行系動作およびビット線プリチャージ動作の終了後に実行される。

【0081】したがって、ワード線が活性化されてメモリセルからデータが読出されている期間を避けて、メモリアレイ部10が安定な状態においてディープ・パワーダウンモードへ移行することができる。

【0082】ディープ・パワーダウンモードから通常モードへの復帰は、外部クロックイネーブル信号EXTCKEの活性化（Lレベル→Hレベル）にตอบสนองして実行される。すなわち、外部クロックイネーブル信号EXTCKEの活性化にตอบสนองして、パワーカット信号PCUTEは、時刻t2においてLレベルに非活性化される。この結果、ディープ・パワーダウンモードは終了し、内部電源回路100の内部動作が再び切替わる。この結果、内部電源電圧は、図2に示した通常モードに対応する電圧レベルに設定される。

【0083】なお、パワーカット信号PCUTEの非活性化状態（Lレベル）および活性化状態（Hレベル）における電圧は、接地電圧Vssおよび外部電源電圧Ext、Vddにそれぞれ設定される。

【0084】一方、モードレジスタセットによって、ディープ・パワーダウンモードが適用されていない場合には、本来のセルフリフレッシュコマンドSREFが実行されて、リフレッシュ動作が順次実行される。

【0085】図5は、ディープ・パワーダウンモードへのエントリ方式の他の例を説明するタイミングチャートである。

20

【0086】図5を参照して、モードレジスタセットによってディープ・パワーダウンモードが適用されている場合において、ディープ・パワーダウンモードへの移行は、セルフリフレッシュコマンドSREF以外の、所定の専用コマンドを用いて実行することもできる。

【0087】たとえば、時刻t0において、当該専用コマンドとして定義されたディープ・パワーダウンモードエントリコマンドDPEが入力される。これにตอบสนองして、時刻t1'において、パワーカット信号PCUTEが、Hレベルに活性化される。

【0088】ディープ・パワーダウンモードから通常モードへの復帰は、図4の場合と同様に、外部クロックイネーブル信号EXTCKEの活性化にตอบสนองして実行される。すなわち、時刻t2における外部クロックイネーブル信号EXTCKEの活性化にตอบสนองして、パワーカット信号PCUTEはLレベルに非活性化される。これに伴い、ディープ・パワーダウンモードは終了して、内部電源電圧は、通常モードに対応する図2に示した電圧レベルに設定される。

【0089】〔内部電源回路の構成〕図6は、内部電源回路100の構成を示すブロック図である。

【0090】まず、通常モードに対応する内部電源回路100の構成について説明する。図6を参照して、内部電源回路100は、定電流発生回路102を含む。定電流発生回路102は、定電流供給線104および106に定電流ICONSTを供給する。

【0091】内部電源回路100は、さらに、周辺回路電源電圧VDDPを生成するために設けられる、参照電圧発生回路110、バッファ回路112および内部電源電圧発生回路116を含む。

【0092】参照電圧発生回路110は、定電流供給線106から定電流ICONSTの供給を受けて、周辺回路電源電圧VDDPの目標レベルに対応する参照電圧VREFP0を生成する。バッファ回路112は、参照電圧発生回路110からの参照電圧VREFP0に基づいて、参照電圧配線114に参照電圧VREFPを生成する。

【0093】内部電源電圧発生回路116は、外部電源電圧Ext、Vddを降圧して、内部電源配線118に周辺回路電源電圧VDDPを出力する。通常モードにおいて、内部電源電圧発生回路116は、周辺回路電源電圧VDDPと参照電圧VREFPとの比較に基づいて、周辺回路電源電圧VDDPを目標レベルに維持しようとする。

【0094】内部電源回路100は、さらに、メモリアレイ電源電圧VDDSを生成するための、参照電圧発生回路120、バッファ回路122および内部電源電圧発生回路126を含む。

【0095】参照電圧発生回路120は、定電流供給線106から定電流ICONSTの供給を受けて、メモリ

21

アレイ電源電圧VDD Sの目標レベルに対応する参照電圧VREF S0を生成する。バッファ回路122は、参照電圧発生回路120からの参照電圧VREF S0に基づいて、参照電圧配線124に参照電圧VREF Sを生成する。

【0096】内部電源電圧発生回路126は、外部電源電圧Ext. Vddを降圧して、内部電源配線128にメモリアレイ電源電圧VDD Sを出力する。通常モードにおいて、内部電源電圧発生回路126は、メモリアレイ電源電圧VDD Sと参照電圧VREF Sとの比較に基づいて、メモリアレイ電源電圧VDD Sを目標レベルに維持しようとする。

【0097】内部電源回路100は、さらに、ワード線電圧VPPを生成するための、参照電圧発生回路130、バッファ回路132および電圧昇圧回路136を含む。

【0098】参照電圧発生回路130は、定電流供給線106から定電流I CONSTの供給を受けて、ワード線電圧VPPの目標レベルに対応する参照電圧VREF D0を生成する。バッファ回路132は、参照電圧発生回路130からの参照電圧VREF D0に基づいて、参照電圧配線134に参照電圧VREF Dを生成する。

【0099】電圧昇圧回路136は、外部電源電圧Ext. Vddを昇圧して、内部電源配線138にワード線電圧VPPを出力する。通常モードにおいて、電圧昇圧回路136は、ワード線電圧VPPと参照電圧VREF Dとの比較に基づいて、ワード線電圧VPPを目標レベルに維持しようとする。

【0100】参照電圧VREF P0、VREF Pと、VREF S0、VREF Sと、VREF D0、VREF Dとは、図2に示した通常モードでの、周辺回路電源電圧VDD Pと、メモリアレイ電源電圧VDD Sと、ワード線電圧VPPとの設定レベルにそれぞれ対応して定められる。

【0101】外部電源電圧Ext. Vddを降圧する内部電源電圧発生回路116および126には、一般的な構成の電圧降下回路(VDC: Voltage Down Converter)を適用することができる。

【0102】内部電源回路100は、さらに、メモリアレイ電源電圧VDD Sを受けて、セルプレート電圧VCPを生成するVCP発生回路140と、ビット線電圧VBLを生成するVBL発生回路145とを含む。VCP発生回路140およびVBL発生回路145は、たとえば、トリミング機能付きの分圧回路で構成され、内部電源配線128から供給されるメモリアレイ電源電圧VDD Sを受けて、セルプレート電圧VCPおよびビット線電圧VBLを生成する。

【0103】内部電源回路100は、さらに、基板電圧発生回路160を含む。基板電圧発生回路160は、外部電源電圧Ext. Vddを受けて動作し、負電圧の基

22

板電圧VBBを内部電源配線168に生成する。基板電圧発生回路160はたとえば、チャージポンプ回路によって構成される。

【0104】このような構成とすることにより、通常モードでの内部電源電圧は、図2に示した電圧レベルに設定される。

【0105】次に、ディープ・パワーダウンモードに対応する内部電源回路100の構成について説明する。

【0106】内部電源回路100は、さらに、ディープ・パワーダウンモードにおいてバッファ回路112の動作電流を遮断するためのPMOSTランジスタ210と、ディープ・パワーダウンモードにおいて参照電圧配線114と接地電圧Vssとの間を電氣的に結合するためのNMOSTランジスタ212と、ディープ・パワーダウンモードにおいて内部電源配線118と外部電源電圧Ext. Vddとの間を電氣的に結合するためのNMOSTランジスタ214とを含む。

【0107】PMOSTランジスタ210は、外部電源電圧Ext. Vddとバッファ回路112との間に電氣的に結合され、ゲートにパワーカット信号PCUTEを受ける。NMOSTランジスタ212は、参照電圧配線114と接地電圧Vssとの間に電氣的に結合され、ゲートにパワーカット信号PCUTEを受ける。NMOSTランジスタ214は、外部電源配線90と内部電源配線118との間に電氣的に結合され、ゲートにパワーカット信号PCUTEを受ける。

【0108】なお、本実施の形態においては、MOSTランジスタは、接続スイッチとして用いられる電界効果型トランジスタの代表例として適用される。

【0109】内部電源回路100は、さらに、メモリアレイ電源電圧VDD S生成系に対して配置される、PMOSTランジスタ220およびNMOSTランジスタ222、224と、ワード線電圧VPP発生系に対応して配置されるPMOSTランジスタ230およびNMOSTランジスタ232、234とを含む。

【0110】PMOSTランジスタ222および232は、PMOSTランジスタ212と同様に配置される。NMOSTランジスタ224および234は、NMOSTランジスタ214と同様に配置される。NMOSTランジスタ214、224および234のしきい値電圧は、図2中に表記したVtnに相当する。また、NMOSTランジスタ234に代えて、ゲートにパワーカット信号の反転信号/PCUTEを受けるPMOSTランジスタを配置すれば、ディープ・パワーダウンモードにおけるワード線電圧VPPをExt. Vddに設定できる。

【0111】このような構成とすることにより、ディープ・パワーダウンモードにおいて、内部電源電圧発生回路116、126および電圧昇圧回路136を動作させることなく、周辺回路電源電圧VDD P、メモリアレイ

23

電源電圧VDD5およびワード線電圧VPPを、 $E_{xt} \cdot V_{dd} - V_{tn}$ に設定することができる。この結果、ディープ・パワーダウンモードにおいては、内部電源電圧発生回路116、126および電圧昇圧回路136にそれぞれ入力される参照電圧VREFP、VREFS、VREFDの生成も不要となる。したがって、ディープ・パワーダウンモードにおいて、参照電圧VREFP、VREFSおよびVREFDは、トランジスタ212、222および232によって、接地電圧Vssにそれぞれ固定される。

【0112】これに伴い、さらに前段に配置された、参照電圧発生回路110、120、130と、バッファ回路112、122、132との動作も不要となり、これらの回路群における消費電力を削減することができる。

【0113】内部電源回路100は、さらに、ディープ・パワーダウンモードにおいて、定電流発生回路102と接地電圧Vssとの間を切離すためのNMOSTランジスタ200と、ディープ・パワーダウンモードにおいて外部電源電圧 $E_{xt} \cdot V_{dd}$ と定電流供給線106との間を電氣的に結合するためのPMOSTランジスタ202とを含む。

【0114】NMOSTランジスタ200は、定電流発生回路102と接地電圧Vssとの間に電氣的に結合されて、ゲートにパワーカット信号PCUTEを受ける。PMOSTランジスタ202は、外部電源電圧 $E_{xt} \cdot V_{dd}$ と定電流供給線106との間に電氣的に結合されて、反転されたパワーカット信号/PCUTEをゲートに受ける。

【0115】この結果、ディープ・パワーダウンモードにおいて、定電流発生回路102による定電流ICONSの供給が停止されて、消費電力が削減される。また、定電流供給線106は、トランジスタ202によって、外部電源電圧 $E_{xt} \cdot V_{dd}$ に固定される。

【0116】図7は、参照電圧発生回路の構成を示す回路図である。図6に示される参照電圧発生回路110、120、130の構成は同様であるので、図7においては、参照電圧発生回路110の構成について代表的に説明する。

【0117】図7を参照して、参照電圧発生回路110は、外部電源電圧 $E_{xt} \cdot V_{dd}$ とノードN0との間に直列に結合される、抵抗250と、PMOSTランジスタ251および252とを有する。ノードN0には、参照電圧VREFP0が生成される。参照電圧VREFP0は、バッファ回路112に伝達される。

【0118】PMOSTランジスタ251のゲートは、定電流供給線106と結合される。PMOSTランジスタ252のゲートには、パワーカット信号PCUTEが入力される。

【0119】参照電圧発生回路110は、さらに、ノードN0と接地電圧Vssとの間に直列に結合されるN個

24

(N：自然数)のPMOSTランジスタ253を有する。N個のPMOSTランジスタ253のゲートの各々は、接地電圧Vssと結合される。したがって、N個のトランジスタ253の各々は、抵抗素子として機能する。

【0120】このような構成とすることにより、パワーカット信号PCUTEが非活性状態（Lレベル）に設定される通常モード時には、参照電圧発生回路110は、外部電源電圧 $E_{xt} \cdot V_{dd}$ から接地電圧Vssの間に生じる動作電流を用いて、参照電圧VREFP0を生成する。ノードN0と接地電圧Vssとの間の電気抵抗値を適切に調整することによって、所望の参照電圧VREFP0を得ることができる。

【0121】図7に示すように、PMOSTランジスタ253のそれぞれと並列に、バイパス用のヒューズ素子255をさらに配置することによって、ノードN0と接地電圧Vssとの間の電気抵抗値を、ヒューズブローによって微調整することが可能となる。

【0122】一方、パワーカット信号PCUTEが活性状態（Hレベル）に設定されるディープ・パワーダウンモードでは、PMOSTランジスタ252がターンオフされるので、外部電源電圧 $E_{xt} \cdot V_{dd}$ と接地電圧Vssの間の貫通電流、すなわち参照電圧発生回路110の動作電流は遮断される。

【0123】これにより、ディープ・パワーダウンモードにおいては、動作電流を遮断することによって、不要となった参照電圧VREFP0の生成を中止して、参照電圧発生回路110の消費電力を削減することができる。

【0124】図8は、図6に示されたバッファ回路の構成を示す回路図である。図6に示されるバッファ回路112、122および132の構成は同様であるので、図8においてはバッファ回路112の構成について代表的に説明する。

【0125】図8を参照して、バッファ回路112は、PMOSTランジスタ210を介して外部電源電圧 $E_{xt} \cdot V_{dd}$ と電氣的に結合されるノードN1と、ノードN2との間に電氣的に結合されるPMOSTランジスタ260と、ノードN1およびN3の間に電氣的に結合されるPMOSTランジスタ262と、ノードN2およびN4の間に電氣的に結合されるNMOSTランジスタ264と、ノードN3およびN4の間に電氣的に結合されるNMOSTランジスタ266とを有する。

【0126】PMOSTランジスタ260および262のゲートは、ノードN2と結合される。NMOSTランジスタ264のゲートには、参照電圧発生回路110からの参照電圧VREFP0が入力される。ノードN3およびトランジスタ266のゲートは、参照電圧VREFPを伝達する参照電圧配線114と結合される。

【0127】バッファ回路112は、さらに、ノードN



25

4と接地電圧 $V_{ss}$ との間に電氣的に結合されるNMOSTランジスタ267を有する。NMOSTランジスタ267のゲートには、制御電圧 $\Phi_1$ が入力される。

【0126】このような構成とすることにより、トランジスタ210がオンする通常モード時においては、制御電圧 $\Phi_1$ に応じた動作電流がバッファ回路112に供給される。バッファ回路112は、動作電流量に応じた応答速度で、内部電源電圧発生回路116に伝達される参照電圧 $V_{REFP}$ を、参照電圧発生回路110からの参照電圧 $V_{REFP0}$ と同様のレベルに設定する。このようにバッファ回路112を介して、参照電圧 $V_{REFP}$ を伝達することによって、参照電圧 $V_{REFP}$ がノイズ等によって変動することを防止できる。

【0129】一方、ディープ・パワーダウンモードにおいては、パワーカット信号 $PCUTE$ の活性化（Hレベル）にตอบสนองして、トランジスタ210がターンオフされるので、バッファ回路112の動作電流が遮断される。これにより、不要となった参照電圧 $V_{REFP}$ の生成を中止して、バッファ回路112における消費電力を削減できる。

【0130】再び図6を参照して、内部電源回路100は、さらに、ディープ・パワーダウンモードにおいて、基板電圧発生回路160を外部電源電圧 $Ext. V_{dd}$ から切離すためのPMOSTランジスタ240と、内部電源配線168を接地電圧 $V_{ss}$ と電氣的に結合するためのPMOSTランジスタ244とをさらに含む。PMOSTランジスタ240のゲートには、パワーカット信号 $PCUTE$ が入力される。PMOSTランジスタ244のゲートには、反転されたパワーカット信号 $\overline{PCUTE}$ が入力される。

【0131】したがって、ディープ・パワーダウンモードでは、PMOSTランジスタ240がターンオフされるとともに、PMOSTランジスタ244がターンオンされる。この結果、基板電圧 $V_{BB}$ は、図2に示したように接地電圧 $V_{ss}$ に設定される。すなわち、ディープ・パワーダウンモードにおいて、基板電圧発生回路160は動作する必要がなくなるので、PMOSTランジスタ240のターンオフにตอบสนองして、基板電圧発生回路160の動作電流を遮断することによって、基板電圧発生回路160における消費電力を削減することができる。

【0132】内部電源回路100は、さらに、外部入力信号用参照電圧 $V_{REFI}$ を生成する外部入力信号用参照電圧発生回路270をさらに含む。外部入力信号用参照電圧 $V_{REFI}$ は、入力初段回路50に伝達されて、入力信号がHレベル/Lレベルのいずれであるかを認識するために用いられる。

【0133】図9は、外部入力信号用参照電圧発生回路270の構成を示す回路図である。図9を参照して、外部入力信号用参照電圧発生回路270は、外部電源電圧 $Ext. V_{dd}$ とノードN5との間に直列に結合され

26

る、抵抗271と、PMOSTランジスタ272および273とを有する。ノードN5には、外部入力信号用参照電圧 $V_{REFI}$ が生成される。

【0134】外部入力信号用参照電圧発生回路270は、さらに、ノードN5と接地電圧 $V_{ss}$ との間に直列に結合されるM個（M：自然数）のPMOSTランジスタ274を有する。N個のPMOSTランジスタ274のゲートの各々は、接地電圧 $V_{ss}$ と結合される。したがって、N個のトランジスタ274の各々は、抵抗素子として機能する。

【0135】PMOSTランジスタ272のゲートには、参照電圧 $V_{REFS}$ および $V_{REFP}$ の一方が選択的に入力される。PMOSTランジスタ272のゲートには、パワーカット信号 $PCUTE$ が入力される。

【0136】このような構成とすることにより、通常モードでは、外部入力信号用参照電圧 $V_{REFI}$ のレベルを切換えることができる。たとえば、参照電圧 $V_{REFP}$ （2.5V）がPMOSTランジスタ272のゲートに入力される場合には、外部入力信号用参照電圧 $V_{REFI}$ は1.4Vに設定される。一方、PMOSTランジスタ272のゲートに参照電圧 $V_{REFS}$ （2.0V）が入力される場合には、外部入力信号用参照電圧 $V_{REFI}$ は0.9Vに設定される。このような構成とすることにより、異なるI/O信号レベルの入力信号について、外部入力信号用参照電圧 $V_{REFI}$ を切換えて対応することが可能となる。

【0137】図9に示すように、PMOSTランジスタ274のそれぞれと並列に、バイパス用のヒューズ素子275を配置することによって、外部入力信号用参照電圧 $V_{REFI}$ のレベルを、ヒューズブローによって微調整することが可能となる。

【0138】一方、ディープ・パワーダウンモードでは、入力信号が外部から入力されることはないので、外部入力信号用参照電圧 $V_{REFI}$ は不要となる。したがって、ディープ・パワーダウンモードにおいては、パワーカット信号 $PCUTE$ の活性化（Hレベル）にตอบสนองし、PMOSTランジスタ273をターンオフして動作電流を遮断することにより、外部入力信号用参照電圧発生回路270の消費電力を削減することができる。

【0139】以上説明したように、内部電源回路100においては、ディープ・パワーダウンモードにおける消費電力を大幅に削減することが可能となる。

【0140】また、パワーカット信号 $PCUTE$ は、外部電源電圧 $Ext. V_{dd}$ を遮断するためのNMOSTランジスタ214、224および234等のゲートに入力されるので、そのLレベルおよびHレベルは、接地電圧 $V_{ss}$ および外部電源電圧 $Ext. V_{dd}$ にそれぞれ設定する必要がある。

【0141】[ディープ・パワーダウンモードからスムーズに復帰するための構成] 既に説明したように、ディ

27

ープ・パワーダウンモードから通常モードへの復帰は、外部クロックイネーブル信号EXTCKEに応答して実行される。半導体記憶装置1000内においては、外部クロックイネーブル信号EXTCKEをバッファリングして生成される内部クロックイネーブル信号INTCKEに基づいて、このようなモードの復帰が制御される。したがって、ディープ・パワーダウンモードにおいて、周辺回路電源電圧VDDPをExt. Vdd-Vtnに設定する場合においても、外部クロックイネーブル信号EXTCKEのレベル遷移を正確に反映して、内部クロックイネーブル信号INTCKEを生成する構成が必要である。

【0142】図10は、内部クロックイネーブル信号生成回路280の構成を示す回路図である。内部クロックイネーブル信号生成回路280は、たとえば、入力初段回路50内に配置される。

【0143】図10を参照して、内部クロックイネーブル信号生成回路280は、外部電源電圧Ext. Vddによって駆動される論理ゲート281と、周辺回路電源電圧VDDPによって駆動される論理ゲート282～285とを有する。

【0144】論理ゲート281は、外部クロックイネーブル信号EXTCKEと、パワーカット信号PCUTEのNAND演算結果を出力する。論理ゲート282は、外部クロックイネーブル信号EXTCKEとパワーカット信号の反転信号とのNAND演算結果を出力する。

【0145】したがって、論理ゲート281は、パワーカット信号PCUTEがHレベルに設定されるディープ・パワーダウンモードにおいて、外部クロックイネーブル信号EXTCKEのバッファとして動作する。一方、論理ゲート282は、パワーカット信号PCUTEがLレベルに設定される通常モードにおいて、外部クロックイネーブル信号EXTCKEを受けるバッファとして動作する。

【0146】インバータ283および284は、論理ゲート281および282のそれぞれ出力を反転する。論理ゲート285は、インバータ283および284の出力のOR減算結果を内部クロックイネーブル信号INTCKEとして出力する。

【0147】このような構成とすることにより、通常モード時には、周辺回路電源電圧VDDPによって駆動されるバッファ（論理ゲート282）によって内部クロックイネーブル信号INTCKEが生成される。一方、ディープ・パワーダウンモードにおいては、外部電源電圧Ext. Vddによって駆動されるバッファ（論理ゲート281）によって、内部クロックイネーブル信号INTCKEが生成される。

【0148】この結果、通常モードおよびディープ・パワーダウンモードのいずれにおいても、外部クロックイネーブル信号EXTCKEのレベル遷移を正確に反映し

28

て、内部クロックイネーブル信号INTCKEを生成することができる。

【0149】内部クロックイネーブル信号INTCKEは、周辺回路制御部30に含まれるパワーカット信号生成回路300に伝達される。

【0150】パワーカット信号生成回路300は、インバータ302とフリップフロップ304と、レベル変換回路306とを含む。インバータ302とフリップフロップ304とは、周辺回路電源電圧VDDPによって駆動される。

【0151】インバータ302は、内部クロックイネーブル信号INTCKEを反転して出力する。インバータ302の出力は、フリップフロップ304に対して、リセット入力として与えられる。一方、フリップフロップ304のセット入力には制御信号/DPDが与えられる。制御信号/DPDは、ディープ・パワーダウンモードのエントリ条件が整った場合にLレベルに設定される信号である。たとえば、図4に示すエントリ方式に従えば、制御信号/DPDは、制御信号SODでの非活性化にตอบสนองしてLレベルに活性化される。また、図5に示すモードエントリ方式に従えば、ディープ・パワーダウンモードエントリコマンドDPEの入力にตอบสนองして、制御信号/DPDはLレベルに活性化される。

【0152】したがって、フリップフロップ304の出力信号は、制御信号/DPDのLレベルへの活性化にตอบสนองして、Hレベルにセットされ、内部クロックイネーブル信号INTCKEのHレベルへの遷移にตอบสนองしてLレベルにリセットされる。

【0153】レベル変換回路306は、フリップフロップ304の出力信号を接地電圧Vss～外部電源電圧Ext. Vdd範囲にレベル変換して、パワーカット信号PCUTEを生成する。

【0154】これにより、図4および図5に示したモードエントリ方式に従って、パワーカット信号PCUTEを設定することができる。さらに、ディープ・パワーダウンモードから通常モードへの復帰を確実に実行できる。

【0155】ディープ・パワーダウンモードから通常モードへの復帰時には、内部電源回路内の内部電源電圧発生回路116、126および電圧昇圧回路136を早急に動作させて、内部電源電圧を再び切換える必要がある。したがって、ディープ・パワーダウンモードでは接地電圧Vssに固定される参照電圧VREFP、VREFS、VREFDを、高速に所定レベルまで復帰させる必要が生じる。特に、外部電源電圧Ext. Vddを昇圧するワード線電圧VPPに対応する参照電圧VREFDを高速に生成する必要がある。

【0156】図11は、通常モードへの復帰時に応答性の高いバッファ回路の構成を示す回路図である。図11においては、ワード線電圧VPPに対応するバッファ回

29

路132の構成が代表的に示される。

【0157】図11を参照して、バッファ回路132は、図8に示されるバッファ回路と同様に配置される、PMOSトランジスタ260、263およびNMOSトランジスタ264、266、267に加えて、NMOSトランジスタ267と並列に接続されるNMOSトランジスタ268を有する点で異なる。

【0158】NMOSトランジスタ268は、ノードN4と接地電圧Vssの間に電氣的に結合されて、パワーオンリセット信号/PORrの活性化(Lレベル)に  
10 応答してターンオンする。

【0159】パワーオンリセット信号/PORrは、通常、起動時において一定期間活性化されるが、本実施の形態においては、これに加えて、ディープ・パワーダウンモードから通常モードへの復帰時においても、所定期間Lレベルに活性化される。

【0160】このような構成とすることにより、図11に示されるバッファ回路132は、図8に示された構成を有するバッファ回路と比較して、パワーオンリセット信号/PORrの活性化期間における動作電流を増加さ  
20 せて、通常モードへの復帰時に参照電圧VREFPを接地電圧Vssから高速に立ち上げることができる。

【0161】図12は、パワーオンリセット信号生成回路310の構成を示す回路図である。

【0162】図12を参照して、パワーオンリセット信号生成回路310は、外部電源電圧Ext、VddとノードN6との間に電氣的に結合されるPMOSトランジスタ311と、ノードN6およびN7の間に電氣的に結合されるPMOSトランジスタ312と、ノードN7および接地電圧Vssの間に電氣的に結合されるNMOSトランジスタ313と、ノードN7の電圧レベルを反転してパワーオンリセット信号/PORrを生成するイン  
30 バータ315とを有する。

【0163】PMOSトランジスタのゲートには、反転されたパワーカット信号/PCUTEが入力される。ノードN6には、参照電圧発生回路130からの参照電圧VREFD0が印加される。PMOSトランジスタ312およびNMOSトランジスタ313は、参照電圧配線114と結合されるゲートを有し、インバータを構成する。

【0164】ディープ・パワーダウンモードにおいては、PMOSトランジスタ311がターンオンするとともに、参照電圧VREFDは、接地電圧Vssに固定される。この結果、PMOSトランジスタ312がオンし、NMOSトランジスタ313がオフすることになる。したがって、パワーオンリセット信号/PORrは、通常モードへの復帰に備えて、Lレベルに活性化される。

【0165】ディープ・パワーダウンモードから通常モードへ切換えられると、参照電圧発生回路130からの  
50

30

参照電圧VREFD0およびVREFDは、通常モードにおけるワード線電圧VPPの目標レベルに対応する電圧に変化を始める。したがって、参照電圧VREFDがNMOSトランジスタ313のしきい値電圧に相当する所定電圧を超えるまでの所定期間、NMOSトランジスタ313はオフ状態を維持するので、パワーオンリセット信号/PORrの活性状態(Lレベル)も維持される。

【0166】その後、参照電圧VREFDが当該所定電圧を超えると、NMOSトランジスタ313がオンするので、パワーオンリセット信号/PORrはHレベルに非活性化される。

【0167】このような構成とすることにより、通常モードへの復帰時にPMOSトランジスタ210のターンオンに  
50 応答して、バッファ回路132の動作電流経路が確保されると、NMOSトランジスタ267および268の双方によって、バッファ回路312の動作電流を供給することができる。この結果、ディープ・パワーダウンモードから通常モードへの復帰時において、参照電圧VREFPの接地電圧Vssからの立ち上がりを高速化して、ワード線電圧VPPを速やかに復帰させることができる。

【0168】なお、図11に示したバッファ回路の構成は、周辺回路電源電圧VDDPおよびメモリアレイ電源電圧VDDSにそれぞれ対応する、図7に示したバッファ回路112および122にも適用することができる。この場合には、図12に示したパワーオンリセット信号生成回路を、バッファ回路112、122および132で共有することも可能である。

【0169】〔実施の形態2〕実施の形態2においては、異なるレベルの外部電源電圧に対応して、内部電源電圧の制御応答性を一様に維持するための、内部電源回路の構成について説明する。

【0170】図13は、外部電源電圧レベルに対応した、内部電源電圧の設定レベルの相違を説明する図である。

【0171】図13を参照して、実施の形態2においては、外部電源電圧として、2.5V系と、それよりも高い2.7V系の2種類が適用されるケースを考える。

【0172】2.7V系外部電源電圧の適用時には、メモリアレイ電源電圧VDDSおよび周辺回路電源電圧VDDPは、外部電源電圧Ext、Vdd(2.7V)を降圧して、2.0Vおよび2.5Vにそれぞれ設定される。ワード線電圧VPPは、外部電源電圧Ext、Vdd(2.7V)を昇圧して、3.7Vに設定される。また、基板電圧VBBは、負電圧-1Vに設定される。

【0173】これに対して、2.5V系外部電源電圧適用時には、メモリアレイ電源電圧VDDS、ワード線電圧VPPおよび基板電圧VBBは、2.7V系外部電源電圧適用時と同様に、2.0V、3.7Vおよび-1V

31

にそれぞれ設定される。

【0174】しかしながら、外部電源電圧 $E_{xt. Vdd}$ が低い2.5V系では、ドライバ駆動力の低下によって、内部電源電圧の制御応答性が妨げられるおそれがあるので、メモリセルアレイ電源電圧発生系において、コンパレータおよびドライバの速応性アップが図られる。同様の理由から、ワード線電圧 $V_{PP}$ の発生系においても、ポンプキャパシタのサイズアップ等を図って、昇圧動作速度を上昇させる必要が生じる。

【0175】2.5V系外部電源電圧適用時においては、周辺回路電源電圧 $VDDP$  (2.5V)は、外部電源電圧 $E_{xt. Vdd}$ をそのまま用いることができる。以下においては、このような外部電源電圧が適用される場合を、「外部電源電圧直結モード」とも称する。外部電源電圧直結モードでは、周辺回路電源電圧 $VDDP$ を供給する内部電源配線118と外部電源配線とを直結するとともに、そのドライバもサイズアップして電流供給能力の向上を図る。

【0176】次に、実施の形態2に従う、周辺回路電源電圧 $VDDP$ 発生系の構成について説明する。実施の形態2に従う構成においては、周辺回路電源電圧 $VDDP$ 発生系において、図6に示した参照電圧発生回路110、バッファ回路112および内部電源電圧発生回路116に代えて、参照電圧発生回路410、バッファ回路412および内部電源電圧発生回路416が配置される。

【0177】図14は、実施の形態2に従う参照電圧発生回路410の構成を示す回路図である。

【0178】図14を参照して、参照電圧発生回路410は、図7に示した、実施の形態1に従う参照電圧発生回路の構成と比較して、論理ゲート415をさらに有する点で異なる。

【0179】論理ゲート415は、パワーカット信号 $P_{CUTe}$ と、制御信号 $VD1$ のOR演算結果を出力する。論理ゲート415の出力は、PMOSトランジスタ252のゲートに入力される。

【0180】制御信号 $VD1$ は、外部電源電圧 $E_{xt. Vdd}$ の電圧レベルに応じて設定される。具体的には、外部電源電圧直結モードに対応する外部電源電圧の適用時、すなわち図13の例では2.5V系外部電源電圧が適用される場合に、制御信号 $VD1$ はHレベルに設定される。既に説明したように、2.5V系外部電源電圧の適用時には、外部電源電圧 $E_{xt. Vdd}$ と内部電源配線118とを直結して周辺回路電源電圧 $VDDP$ を生成するので、参照電圧 $V_{REFP0}$ の生成は不要となる。

【0181】外部電源電圧直結モードよりも高い外部電源電圧が適用される場合、すなわち図13の例では2.7V系外部電源電圧が適用される場合には、制御信号 $VD1$ はLレベルに設定される。

【0182】このような構成とすることにより、PMO 50

32

Sトランジスタ252は、ディープ・パワーダウンモード時に加えて、通常モード時においても、適用される外部電源電圧レベルに応じてターンオフされる。これに伴い、参照電圧 $V_{REFP0}$ の生成が不要となる外部電源電圧直結モードにおいて、参照電圧発生回路410における動作電流を遮断して、消費電力を削減できる。

【0183】図15は、実施の形態2に従うバッファ回路412への電流供給を説明する回路図である。

【0184】図15を参照して、バッファ回路412の構成は、図8に示したバッファ回路112と同様であるが、実施の形態2においては動作電流の供給態様が異なる。

【0185】外部電源電圧 $E_{xt. Vdd}$ とバッファ回路412との間に電氣的に結合されるPMOSトランジスタ210のゲートには、図14と同様の論理ゲート415の出力が与えられる。したがって、参照電圧発生回路410と同様に、参照電圧 $V_{REFP}$ の生成が不要となる外部電源電圧直結モードにおいて、バッファ回路412の動作電流を遮断して消費電力を削減できる。

【0186】図16は、実施の形態2に従う内部電源電圧発生回路416の構成を示す回路図である。

【0187】図16を参照して、内部電源電圧発生回路416は、コンパレータ430と、PMOSトランジスタ432と、NMOSトランジスタ434と、論理ゲート436、437と、インバータ438と、内部電源電流供給部440とを有する。内部電源電流供給部440は、ドライバトランジスタ442、445を有する。

【0188】コンパレータ430は、周辺回路電源電圧 $VDDP$ に対応する参照電圧 $V_{REFP}$ と周辺回路電源電圧 $VDDP$ との電圧差を増幅してノードN8に出力する。具体的には、ノードN8の電圧は、 $VDDP > V_{REFP}$ の場合Hレベル (外部電源電圧 $E_{xt. Vdd}$ ) 側に設定され、 $VDDP < V_{REFP}$ の場合Lレベル (接地電圧 $V_{ss}$ ) 側に設定される。

【0189】PMOSトランジスタ432は、外部電源電圧 $E_{xt. Vdd}$ とコンパレータ430との間に電氣的に結合される。NMOSトランジスタ434は、ノードN8および接地電圧 $V_{ss}$ の間に電氣的に結合される。

【0190】論理ゲート436は、制御信号 $VD1$ およびテストモード信号 $TMDV$ のOR演算結果をPMOSトランジスタ432のゲートに与える。テストモード信号 $TMDV$ は、動作テスト時に、外部電源電圧直結モードに対応するテストを試験的に実行するときに、Hレベルに活性化される。

【0191】論理ゲート437は、論理ゲート436と同様に、制御信号 $VD1$ およびテストモード信号 $TMDV$ のOR演算結果を出力する。論理ゲート437の出力は、NMOSトランジスタ434のゲートに与えられる。

33

【0192】ドライバトランジスタ442は、ノードN8と結合されたゲートを有し、外部電源配線90と内部電源配線118との間に電氣的に結合される。ドライバトランジスタ445は、ドライバトランジスタ442と並列に、外部電源配線90と内部電源配線118との間に電氣的に結合される。ドライバトランジスタ442および445は、PMOSTランジスタで構成される。ドライバトランジスタ445のゲートには、インバータ438によって反転された論理ゲート437の出力が入力される。

【0193】このような構成とすることにより、通常動作時にはテストモード信号TMDVがLレベルに設定されるので、外部電源電圧直結モードよりも高い2.7V系外部電源電圧が適用される（制御信号VD1はLレベル）場合には、論理ゲート436および437の出力は、Lレベルに設定される。したがって、PMOSTランジスタ432はオンし、NMOSTランジスタ434はオフする。さらに、ドライバトランジスタ445も強制的にターンオフされる。したがって、ノードN8の電圧、すなわちコンパレータ430の電圧比較結果に応じて、ドライバトランジスタ442は、外部電源配線90から内部電源配線118に対して、内部電源電流を供給する。

【0194】これに対して、外部電源電圧直結モードに対応する2.5V系外部電源電圧が適用される（制御信号VD1はHレベル）場合には、論理ゲート426および427の出力は、Hレベルに設定される。したがって、PMOSTランジスタ432はオフし、NMOSTランジスタ434はオンする。

【0195】したがって、コンパレータ430の動作電流が遮断されるとともに、ノードN8は接地電圧Vssに固定される。この結果、並列に配置されるドライバトランジスタ442および445の両方が強制的にターンオンされ、外部電源配線90と内部電源配線118とを結合することによって、内部電源電流が供給される。

【0196】この結果、外部電源電圧が低く、ドライバトランジスタの電流供給能力が相対的に低下する外部電源電圧直結モードにおいても、周辺回路電源電圧VDDPの制御応答性を同様に確保できる。

【0197】また、動作テスト時にテストモード信号TMDVをHレベルに設定した場合には、論理ゲート436および437の出力がHレベルに強制的に変化するので、通常動作時における外部電源電圧直結モードと同様の回路動作を試験的に実行することができる。

【0198】図17は、実施の形態2に従う内部電源電圧発生回路426の構成を示す回路図である。

【0199】図17を参照して、内部電源電圧発生回路426は、コンパレータ450と、コンパレータ450の動作電流量を制御するためのNMOSTランジスタ452、454、456と、トランスファゲート459

34

と、内部電源電流供給部460と、論理ゲート457、466と、インバータ467と、PMOSTランジスタ468とを含む。内部電源電流供給部460は、ドライバトランジスタ452および454を有する。

【0200】コンパレータ450は、メモリアレイ電源電圧VDDSDに対応する参照電圧VREFSとメモリアレイ電源電圧VDDSDとの電圧差を増幅してノードN9に出力する。具体的には、VDDSD>VREFSの場合にはノードN9はHレベル（外部電源電圧Ext. Vdd）側に設定され、VDDSD<VREFSの場合にはノードN9にはLレベル（接地電圧Vss）側に設定される。

【0201】NMOSTランジスタ452、454および456は、コンパレータ450と接地電圧Vssとの間に並列に接続される。NMOSTランジスタ452のゲートには論理ゲート457の出力が入力される。論理ゲート457は、制御信号VD1およびテストモード信号TMDVのOR演算結果を出力するORゲートと、このORゲートの出力と制御信号SREFの反転信号との間のAND演算結果を出力するANDゲートとを有する。制御信号SREFは、セルフリフレッシュコマンドの実行時にHレベルに設定され、それ以外の期間においてはLレベルに設定される。

【0202】このような構成とすることにより、NMOSTランジスタ452のゲート電圧は、セルフリフレッシュコマンド実行時には強制的にLレベル（接地電圧Vss）に設定される。セルフリフレッシュコマンド実行時以外においては、制御信号VD1もしくはテストモード信号TMDVがHレベルに設定されたとき、すなわち、外部電源電圧直結モードに対応する2.5V系外部電源電圧が適用されたとき、もしくは動作テスト時に所定の動作テストが指示されたときにおいて、NMOSTランジスタ452のゲート電圧はHレベル（外部電源電圧Ext. Vdd）に設定される。

【0203】NMOSTランジスタ454のゲートには、制御信号SREFの反転信号が入力される。この結果、NMOSTランジスタ454は、セルフリフレッシュコマンド実行時にターンオフされ、それ以外の期間には、ターンオンされる。NMOSTランジスタ456のゲートには、制御電圧Φ1が入力される。これにより、NMOSTランジスタ456は、微小電流をコンパレータ450に対して、常時供給する。

【0204】したがって、コンパレータ450の動作電流は、セルフリフレッシュコマンド実行時においてはNMOSTランジスタ456のみによって供給される。セルフリフレッシュコマンド実行時以外においては、外部電源電圧直結モードよりも高い外部電源電圧が適用される場合には、NMOSTランジスタ454および456によって、コンパレータ450の動作電流が供給され、外部電源電圧直結モードに対応する外部電源電圧が適用

35

される場合には、NMOSトランジスタ452、454および456によってコンパレータ450の動作電流が供給される。

【0205】このような構成とすることにより、外部電源電圧直結モードにおけるコンパレータ450の応答速度は、外部電源電圧直結モードよりも高い外部電源電圧が適用される場合よりも向上する。また、セルフリフレッシュコマンド実行時において、コンパレータ450の動作電流を絞って、消費電流を削減することができる。セルフリフレッシュ実行時においては、メモリアレイ部10における消費電流が少ないため、メモリアレイ電源電圧VDD5に要求される制御応答性は厳しくないからである。

【0206】ドライバトランジスタ462および465は、外部電源配線90および内部電源配線128の間に並列に接続されるPMOSトランジスタでそれぞれ構成される。ドライバトランジスタ462のゲートは、ノードN9と結合される。ドライバトランジスタ465のゲートは、トランスファークゲート459を介してノードN9と結合される。さらに、ドライバトランジスタ465のゲートは、PMOSトランジスタ468を介して外部電源電圧Ext、Vddとも電氣的に結合される。

【0207】トランスファークゲート459は、論理ゲート466の出力にตอบสนองしてオン／オフする。具体的には、制御信号VD1もしくはテストモード信号TMDVがHレベルに設定された場合において、トランスファークゲート459はオンする。一方、制御信号VD1およびテストモード信号TMDVの両方がLレベルに設定されている場合には、トランスファークゲート459はオフする。

【0208】PMOSトランジスタ468は、外部電源電圧Ext、Vddとドライバトランジスタ465のゲートとの間に電氣的に結合され、論理ゲート466の出力をゲートに受ける。

【0209】このような構成とすることにより、外部電源電圧直結モードよりも高い外部電源電圧が適用される場合には、PMOSトランジスタ468がオンする一方で、トランスファークゲート459はオフされる。したがって、ドライバトランジスタ465は強制的にターンオフされるので、ドライバトランジスタ462によって、ノードN9の電圧に応じて、外部電源配線90から内部電源配線128に対して内部電源電流が供給される。

【0210】これに対して、外部電源電圧直結モードにおいては、トランスファークゲート459がオンする一方で、PMOSトランジスタ468がオフされる。この結果、ノードN9は、ドライバトランジスタ462および465のゲートと結合される。したがって、並列に配置されたドライバトランジスタ462および465によって、内部電源電流を供給することができるので、ドライバトランジスタの電流駆動力が相対的に低下する外部電

36

源電圧直結モードにおいても、メモリアレイ電源電圧VDD5の制御応答性を維持できる。

【0211】また、動作テスト時において、テストモード信号TMDVをHレベルに設定することによって、論理ゲート457および466の出力をHレベルに設定できるので、外部電源電圧直結モードの回路動作を試験的に実行できる。

【0212】さらに、実施の形態2に従う構成においては、図6に示した電圧昇圧回路136に代えて、電圧昇圧回路470が配置される。

【0213】図18は、実施の形態2に従う電圧昇圧回路470の構成を示すブロック図である。

【0214】図18を参照して、電圧昇圧回路470は、非常時検出部500と、アクティブ時検出部510と、スタンバイ時検出部520と、アクティブ検出部制御回路530と、昇圧ユニット制御回路545と、アクティブ昇圧ユニット550と、スタンバイ昇圧ユニット570とを含む。

【0215】非常時検出部500は、動作時において、ワード線電圧VPPが対応する参照電圧VREFDよりも低下したときに、検出信号LOWEをHレベルに活性化する。アクティブ時検出部510およびスタンバイ時検出部520は、非常時検出部500と同様に動作し、それぞれの動作時において、ワード線電圧VPPが対応する参照電圧VREFDよりも低下したときに、対応する検出信号LOWNおよびLWSをそれぞれHレベルに活性化する。

【0216】スタンバイ時検出部520は、常時動作する。非常時検出部500は、セルフリフレッシュコマンドの実行期間を除いて、スタンバイ時検出部520の検出信号LWSの活性化にตอบสนองして動作する。アクティブ時検出部510は、検出部活性化信号ACTeの活性化にตอบสนองして動作する。

【0217】アクティブ検出部制御回路530は、内部クロックイネーブル信号INTCKEのHレベル期間もしくは、セルフリフレッシュコマンド実行期間において、制御信号ACTORまたは検出信号LOWNの活性化期間（Hレベル）にตอบสนองして、検出部活性化信号ACTeを活性化状態（Hレベル）に設定する。

【0218】昇圧ユニット制御回路545は、非常時検出部500およびアクティブ時検出部510のそれぞれからの検出信号LOWEおよびLOWNと、制御信号ACTORとに基づいて、アクティブ昇圧ユニット550を動作させるためのイネーブル信号／PMeを生成する。アクティブ昇圧ユニット550は、イネーブル信号／PMeの活性化期間において動作する。

【0219】昇圧ユニット制御回路545は、検出信号LOWEの活性化期間において、イネーブル信号／PMeを活性化する。さらに、昇圧ユニット制御回路545は、検出信号LOWNがHレベルに活性化された場合に



37

は、制御信号ACTORまたは検出信号LOWEがHレベルに活性化されていることを条件に、イネーブル信号/PMeを活性化する。この場合には、一旦活性化されたイネーブル信号/PMeは、検出信号LOWNが非活性化（Lレベル）されるまでの間、活性状態が維持される。

【0220】アクティブ昇圧ユニット550は、リング発振器555と、分周回路560と、並列に配置されたポンプ回路600a、600bを有する。

【0221】リング発振器555は、イネーブル信号/PMeの活性化に10 応答して動作して、発振信号PCLK0を生成する。分周回路560は、発振信号PCLK0を分周して、周期Tc2のポンプクロックPCLKを生成する。

【0222】ポンプ回路600aおよび600bは、ポンプクロックPCLKに11 応答して、外部電源電圧Ext. Vddをチャージポンプ動作によって昇圧して、内部電源配線138にワード線電圧VPPを出力する。

【0223】スタンバイ昇圧ユニット570は、リング発振器575とポンプ回路610とを有する。リング発振器575は、スタンバイ時検出部520の検出信号LWSの活性化に12 応答して動作状態に設定され、周期Tc1（>Tc2）の周期を有するポンプクロックを生成する。ポンプ回路610は、リング発振器575が生成するポンプクロックPCLKに13 応答して、外部電源電圧Ext. Vddを昇圧して、内部電源配線138にワード線電圧VPPを生成する。

【0224】アクティブ昇圧ユニット550で用いられるポンプクロックの周期は、アクティブ昇圧ユニット550で用いられるポンプクロックの周期よりも短く設定される。また、アクティブ昇圧ユニット550内のチャージポンプキャパシタの容量は、スタンバイ昇圧ユニット570内のチャージポンプキャパシタよりも大きく設計される。したがって、アクティブ昇圧ユニット550は、その消費電力は相対的に大きいものの、高速に昇圧動作を行なえる。一方、スタンバイ昇圧ユニット570は、昇圧動作は比較的低速であるが、消費電力は小さい。

【0225】次に、電圧昇圧回路470の各部分の回路構成について詳細に説明する。図19は、リング発振器555の構成を示す回路図である。

【0226】図19を参照して、リング発振器555は、循環状に接続された2n+1段（n：自然数）のインバータ556を有する。インバータ556の各々に対しては、イネーブル信号/PMeの活性化に14 応答して、外部電源電圧Ext. Vddが供給される。さらに、隣接するインバータ556同士の間には、たとえば拡散抵抗で形成される遅延素子558が設けられる。

【0227】このような構成とすることにより、リング発振器555による発振信号PCLK0の周期に対する15

38

電圧依存性を抑制することができる。すなわち、異なるレベルの外部電源電圧Ext. Vddが適用された場合においても、発振信号PCLK0の周期の変動を抑制できる。この結果、内部電源電圧の制御に対する外乱を抑制できる。

【0228】次に、非常時検出部500、アクティブ時検出部510およびスタンバイ時検出部520の構成について説明する。これらの検出部の構成は同様であるので、図20においては、非常時検出部500の構成について代表的に説明する。

【0229】図20を参照して、非常時検出部500は、PMOSTランジスタ501～503と、NMOSTランジスタ504～506とを有する。

【0230】PMOSTランジスタ501は、外部電源電圧Ext. VddとノードN10との間に電気的に結合されて、ゲートにパワーカット信号PCUTEを受け16 る。PMOSTランジスタ502および503は、ノードN10とノードN11およびN13との間に、それぞれ電気的に結合される。PMOSTランジスタ502および503のゲートは、ノードN11と結合される。

【0231】NMOSTランジスタ504および505は、ノードN11およびN13と、ノードN12との間にそれぞれ電気的に結合される。NMOSTランジスタ504のゲートには、ワード線電圧に対応する参照電圧VREFDが17 入力される。NMOSTランジスタ505のゲートには、ワード線電圧VPPが18 入力される。トランジスタ506は、ノードN12と接地電圧Vssとの間に電気的に結合される。トランジスタ506のゲートには、動作状態制御信号が19 入力される。

【0232】動作状態制御信号は、非常時検出部500においては、制御信号SREFの反転信号/SREFと、検出信号LWSとのAND演算結果に応じて生成される。したがって、制御信号/SREFがLレベルに設定される期間、すなわちセルフリフレッシュの実行期間を除いて、検出信号LWSの活性化期間（Hレベル）において、NMOSTランジスタ506をオンさせて、非常時検出部500の動作電流を供給することが20 できる。

【0233】また、既に説明したように、ディープ・パワーダウンモードにおいては、ワード線電圧VPPを生成する必要がないので、パワーカット信号PCUTEに21 応答してPMOSTランジスタ501がカットオフされて、非常時検出部500の動作は停止されて消費電力の削減が図られる。

【0234】動作電流の供給時において、非常時検出部500は、ワード線電圧VPPおよびこれに対応する参照電圧VREFDの電圧差を増幅して、検出信号LOWEとしてノードN13に出力する。すなわち、ワード線電圧VPPが22 対応する参照電圧VREFDよりも低下した場合には、検出信号LOWEがHレベルに活性化さ

39

れる。

【0235】アクティブ時検出部510においては、NMOSトランジスタ506のゲートに入力される動作状態制御信号は、アクティブ検出部制御回路500からの検出部活性化信号ACTeに相当する。同様に、スタンバイ時検出部520においては、動作状態制御信号は、常にHレベルに設定される。

【0236】アクティブ時検出部510およびスタンバイ時検出部520のその他の部分の回路構成は、非常時検出部500と同様であり、ディープ・パワーダ 10 ウンモードにおいては、動作電流が遮断されることによって、消費電力が削減される。

【0237】再び図18を参照して、ポンプ回路600aおよび600bは、同様の構成を有し、外部電源電圧Ext、Vddのレベルに応じて、その昇圧動作を切換えることが可能である。

【0238】なお以下においては、ポンプ回路600aおよび600bを総称してポンプ回路600とも称する。

【0239】図21は、ポンプ回路600の構成を示す 20 回路図である。図21を参照して、ポンプ回路600は、ポンプクロックPCLK（振幅Ext、Vdd）を受けてノードNb0に昇圧電圧を生成する昇圧動作部620と、ノードNb0と内部電源配線138との間に電氣的に結合される伝達トランジスタ630と、トランジスタ630のゲート電圧を昇圧するためのゲート昇圧部640とを含む。

【0240】昇圧動作部620は、論理ゲート622、624と、PMOSトランジスタ626と、NMOSトランジスタ628と、ポンプキャパシタC1、C2とを 30 有する。

【0241】論理ゲート622は、制御信号PDBとポンプクロックPCLKとのNAND演算結果を出力する。論理ゲート624は、制御信号PDBとポンプクロックPCLKとのAND演算結果を出力する。制御信号PDBは、昇圧動作を高速化したい場合（以下、「ダブルブースト時」とも称する）において、Hレベルに活性化され、それ以外の場合（以下、「シングルブースト時」とも称する）においてLレベルに設定される。

【0242】PMOSトランジスタ626は、外部電源 40 電圧Ext、VddとノードNpcとの間に電氣的に結合される。NMOSトランジスタ628は、ノードNpcと接地電圧Vssとの間に電氣的に結合される。トランジスタ626のゲートには、論理ゲート622の出力が入力され、トランジスタ628のゲートには、論理ゲート624の出力が入力される。

【0243】ポンプキャパシタC1は、ポンプクロックPCLKが入力されるノードNiとノードNb0との間に結合される。ポンプキャパシタC2はノードNpcと 50 ノードNb0との間に結合される。

40

【0244】ダブルブースト時において、論理ゲート622および624は、ポンプクロックPCLKの反転クロックを出力する。この結果、インバータとして動作するPMOSトランジスタ626およびNMOSトランジスタ628は、動作状態に設定されて、ポンプクロックPCLKと同位相のクロック信号をノードNpcに出力する。したがって、昇圧動作部620においては、並列に接続されたポンプキャパシタC1およびC2を用いて、昇圧動作が実行されることになる。この結果、1回のポンプ動作によって蓄えられる電荷量が増大するので、内部電源配線138に供給される内部電源電流を増加させて、昇圧動作速度を相対的に高めることができる。

【0245】一方、シングルブースト時においては、論理ゲート622および624の出力は、HレベルおよびLレベルにそれぞれ固定される。したがって、PMOSトランジスタ626およびNMOSトランジスタ628の両方はターンオフされて、ノードNi1は、ハイインピーダンスとなる。したがって、シングルブースト時においては、ポンプキャパシタC1のみで昇圧動作が実行される。

【0246】このような構成とすることにより、チャージポンプ動作によってポンプ回路600から供給される内部電源電流は、ダブルブースト時においてシングルブースト時よりも相対的に多くなる。

【0247】伝達トランジスタ630は、ノードNb2の電圧、すなわちゲート電圧に応じて、ノードNb0と内部電源配線138とを電氣的に結合する。ノードNb0に昇圧動作部620によって供給された電荷を内部電源配線138に伝達するためには、昇圧動作部620によるチャージポンプ動作に同期させて、ノードNb2を昇圧する必要がある。

【0248】ゲート昇圧部640は、昇圧ユニット650と、昇圧ユニット650にサブクロックPcを供給するサブクロック生成部655と、サブクロックPdを供給するサブクロック生成部660と、サブクロック生成部660とノードNb1との間に電氣的に結合されるキャパシタ670と、インバータ675と、インバータ675の出力ノードとノードNb2との間に結合されるキャパシタ680と、ノードNb2に対して設けられる昇圧ユニット690とを有する。

【0249】昇圧ユニット650は、外部電源電圧Ext、VddとノードNb1との間に電氣的に結合されるNMOSトランジスタ652と、サブクロック生成部655とNMOSトランジスタ652のゲートとの間に結合されるキャパシタ654と、外部電源電圧Ext、VddとNMOSトランジスタ652のゲートとの間に電氣的に結合されるNMOSトランジスタ656とを有する。NMOSトランジスタ656のゲートには外部電源 50 電圧Ext、Vddが入力される。

41

【0250】サブクロック生成部655は、ポンプクロックPCLKに基づいて生成されたサブクロックPaおよび制御信号PDBに応じて、サブクロックPcを生成する。サブクロック生成部660は、同様に、サブクロックPaと制御信号PDBとに応じて、サブクロックPdを生成する。

【0251】インバータ675は、サブクロックPaに  
10 応答して、ノードNb1および接地電圧Vssのいずれかを、ノードN12と電氣的に結合する。昇圧ユニット690は、サブクロックPbに  
10 応答して昇圧動作を実行し、外部電源電圧Ext. Vddを昇圧してノードNb1に伝達する。サブクロックPbは、ポンプクロックPCLKの反転クロックに相当する。

【0252】昇圧ユニット690は、外部電源電圧Ext. VddとノードNb2との間に電氣的に結合されるNMOSトランジスタ692と、NMOSトランジスタ692のゲートと結合されてサブクロックPbの供給を受けるキャパシタ694と、外部電源電圧Ext. VddとノードNb0との間に電氣的に結合されるNMOSトランジスタ695と、外部電源電圧Ext. VddとNMOSトランジスタ692のゲートとの間に電氣的に結合されるNMOSトランジスタ696とを有する。NMOSトランジスタ695のゲートは、NMOSトランジスタ692と接続される。NMOSトランジスタ696のゲートには外部電源電圧Ext. Vddが  
20 入力される。

【0253】昇圧ユニット690は、さらに、外部電源電圧Ext. VddとNMOSトランジスタ692のゲートとの間に直列に接続されるNMOSトランジスタ697および698を有する。NMOSトランジスタ697および698の各々は、ダイオード接続される。NMOSトランジスタ695、697および698によって、NMOSトランジスタ692のゲート電圧の過昇圧が防止される。

【0254】図22は、ポンプ回路600の動作を説明するためのタイミングチャートである。

【0255】図22(a)には、制御信号PDB=Lレベル、すなわちシングルブースト時における動作が示される。

【0256】図22(a)を参照して、サブクロックPbは、ポンプクロックPCLKの反転クロックに相当する。サブクロックPaは、サブクロックPbと比較して、その立下がりエッジは遅延しているが、立上がりエッジは揃っている。サブクロックPcは、サブクロック生成部655によって、シングルモード時には、サブクロックPaと極性が反転したクロックとして生成される。また、サブクロックPdは、シングルモード時には、Lレベル(接地電圧Vss)に固定される。

【0257】したがって、シングルブースト時において、ノードNb1の電圧VNb1は、Ext. Vddに  
50

42

固定される。したがって、ノードNb2の電圧VNb2は、サブクロックPaに  
42 応答して、Ext. Vddと2・Ext. Vddの間をスイングするように昇圧される。これにより、昇圧動作部620によってノードNb0に生成される昇圧電圧VNb0は、伝達トランジスタ630を介して、内部電源配線138に伝達される。

【0258】図22(b)においては、ダブルブースト時におけるポンプ回路600の動作が示される。

【0259】図22(b)を参照して、ダブルブースト時においては、サブクロックPcは、サブクロック生成部655によって、サブクロックPaと同位相のクロックに設定される。また、サブクロック生成部660は、ダブルモード時には、サブクロックPdをサブクロックPaの反転クロックに設定する。

【0260】このような構成とすることにより、ノードNb1の電圧VNb1は、Ext. Vddと2・Ext. Vddとの間をスイングするように昇圧される。これに  
42 応答して、ノードNb2の電圧VNb2もExt. Vddと3・Ext. Vddとの間をスイングするように昇圧される。すなわち、伝達トランジスタ630のゲート電圧における昇圧量を、シングルブースト時よりも大きくできる。

【0261】したがって、ダブルブースト時において、昇圧動作部620によってノードNb0に供給された電荷を、伝達トランジスタ630によって内部電源配線138に伝達して、ワード線電圧VPPの昇圧速度を相対的に速くすることができる。

【0262】このような構成とすることにより、外部電源電圧が相対的に低く設定される(たとえば2.5V系外部電源電圧適用時)場合において、ポンプ回路600をダブルブースト動作させ、外部電源電圧が相対的に高い場合(たとえば2.7V系外部電源電圧適用時)において、ポンプ回路600をシングルブースト動作させることにより、異なるレベルの外部電源電圧の適用に対応して、ワード線電圧VPPの制御応答性を維持できる。具体的には、適用される外部電源電圧のレベルに応じて、制御信号PDBを設定すればよい。

【0263】また、制御信号PDBに代えて、制御信号PDBと、動作テスト時にHレベルに設定されるテスト制御信号とのOR演算結果を入力する構成とすれば、ダブルブースト時の回路動作を試験的に実行できる。

【0264】再び図18を参照して、スタンバイ昇圧ユニット570に用いられるポンプ回路610については、図21に示されたポンプ回路600の構成から、昇圧動作部620において、論理ゲート622、624、トランジスタ626、628およびポンプキャパシタC2の配置を省略した構成として適用される。さらに、ポンプキャパシタC1の容量は、ポンプ回路600よりも小さく設定される。ポンプ回路610においては、高速の  
50 応答性は要求されないため、外部電源電圧のレベルに

43

応じた、チャージポンプキャパシタ容量の切換機能を具備しない構成としている。

【0265】以上述べたように、実施の形態2に従う構成においては、異なるレベルの外部電源電圧の適用に対応して、相対的に低い外部電源電圧が適用された場合においても、内部電源電圧の制御応答性を確保することが可能である。

【0266】〔実施の形態3〕本発明の実施の形態に従う半導体記憶装置においては、I/O信号レベルおよび外部電源電圧について、複数の電圧レベルを適用可能な構成を有している。この結果、適用されるI/O信号レベルおよび外部電源電圧レベルが異なる半導体記憶装置に対する設計を、汎用的なものとすることができる。

【0267】すでに説明したように、このような汎用的な設計を用いた場合においては、適用されるI/O信号レベルおよび外部電源電圧のレベル等の動作条件に応じて、内部電源回路の動作状態を切換えられるための制御信号のレベルが固定的に設定される。実施の形態3においては、適用された動作条件を、半導体記憶装置外部から容易に検知可能な構成について説明する。

【0268】図23は、実施の形態3に従うテストモード制御回路の構成を示す回路図である。

【0269】図23を参照して、実施の形態3に従うテストモード制御回路700は、アドレス信号を構成するアドレスビットA0~Am(m:自然数)の組合せに対応して、特定の動作テストが指示されたことを検知するテストモードエントリ回路702、704、706を有する。

【0270】テストモードエントリ回路702、704、706の各々は、共通の動作テストにエントリするための回路である。しかしながら、テストモードエントリ回路702、704、706のそれぞれにおいて、動作テスト指示が検知されるアドレスビットの組合せは異なる。テストモードエントリ回路702、704、706のそれぞれは、アドレスビットA0~Amの異なる特定の組合せにそれぞれ応答して、動作テスト指示を検知した場合にHレベル信号を出力する。テストモードエントリ回路702は、テストエントリ信号TEaを出力する。

【0271】テストモード制御回路700は、さらに、論理ゲート710、720、730および740を有する。論理ゲート710は、テストモードエントリ回路704の出力信号と制御信号LVVDとのNAND結果を、テストエントリ信号TEbとして出力する。制御信号LVVDは、たとえば、外部電源電圧が特定のレベルに設定されている場合にLレベルに設定され、それ以外の場合にはHレベルに設定される。

【0272】論理ゲート720は、テストモードエントリ回路706の出力信号と制御信号LVIOとのNAND結果を、テストエントリ信号TEcとして出力する。

44

制御信号LVIOは、たとえば、I/O信号レベルが特定のレベルに設定されている場合にLレベルに設定され、それ以外の場合にはHレベルに設定される。

【0273】論理ゲート730は、テストエントリ信号TEbおよびTEcのNAND演算結果を出力する。論理ゲート740は、論理ゲート730の出力信号とテストエントリ信号TEaとのOR演算結果を、制御信号TMSとして出力する。制御信号TMSのHレベルへの活性化にตอบสนองして、テストモードエントリ回路702、704、706に対応する動作テストが起動される。

【0274】制御信号LVVDがLレベルに設定されている場合においては、テストモードエントリ回路704の出力信号にかかわらず、テストエントリ信号TEbは、Hレベルに固定される。この結果、テストモードエントリ回路704に対応するアドレスビットA0~Amの特定の組合せを与えた場合においても、対応する特定の動作テストへのエントリは論理ゲート730によって無効化される。すなわち、当該動作テストを起動することができない。

【0275】反対に、制御信号LVVDがHレベルに設定されている場合には、テストモードエントリ回路704に対応するアドレスビットA0~Amの組合せを入力した場合には、テストエントリ信号TEbはLレベルに変化する。したがって、制御信号TMSをHレベルに活性化することができる。

【0276】したがって、テストモードエントリ回路704に対応するアドレスビットA0~Amの特定の組合せを与えた場合に、制御信号TMSが活性化されるかどうか、すなわち特定の動作テストを起動できるかどうかをチェックすることによって、適用される外部電源電圧が、特定のレベルであるか否かを判定することができる。

【0277】同様に、テストモードエントリ回路706に対応するアドレスビットA0~Amの特定の組合せを与えた場合に、制御信号TMSが活性化されるかどうか、すなわち特定の動作テストを起動できるかどうかをチェックすることによって、適用されるI/O信号レベルが、特定のレベルであるか否かを判定することができる。

【0278】また、制御信号LVVDおよびLVIOの両方がLレベルに設定されている場合においても、テストエントリ信号TEaを活性化するための、テストモードエントリ回路702に対応するアドレスビットA0~Amの特定の組合せを与えることによって、制御信号TMSに対応する特定の動作テストを起動することができる。

【0279】〔実施の形態3の変形例〕実施の形態3の変形例においては、実施の形態2で説明した外部電源電圧直結モードに対応する外部電源電圧が適用されているかどうかを簡易に判定するための構成について説明す

45

る。

【0280】図24は、実施の形態3の変形例に従う外部電源電圧レベル検出回路760の構成を示す回路図である。

【0281】図24を参照して、外部電源電圧レベル検出回路760は、動作テスト時において、外部パッド750とノードNpとの間を電氣的に結合するためのトランジスタスイッチ765と、ノードNpおよび接地電圧Vssの間に電氣的に結合されるトランジスタスイッチ767とを有する。

【0282】トランジスタスイッチ765は、テスト制御信号/TEをゲートに受けるPMOSTランジスタで構成される。テスト制御信号/TEは、内部電源電圧発生回路116の動作を確認するために、外部パッド750によって参照電圧VREFPを直接入力する動作テスト実行時に、Lレベルに活性化される。

【0283】内部電源電圧発生回路416は、図16に示した構成のうちの一部を抜粋して表記しており、外部電源電圧Ext. Vddを受けて、周辺回路電源電圧VDDPを生成する。上述したように、外部電源電圧直結モードでは、制御信号LVVDがHレベルに設定されるので、ドライバトランジスタ445によって、外部電源電圧Ext. Vddと内部電源配線118とが直接結合される。すなわち、コンパレータ430における電圧比較動作を行なうことなく、周辺回路電源電圧VDDPは、外部電源電圧Ext. Vddと同一の電圧レベルに設定される。

【0284】VREFP発生回路770は、図14および図15にそれぞれ示された、周辺回路電源電圧VDDPに対応する参照電圧発生回路410およびバッファ回路412を総括的に示したものである。すなわち、制御信号LVVDがHレベルに設定される外部電源電圧直結モードでは、VREFP発生回路の動作電流は遮断されて、ノードNpに対する参照電圧VREFPの生成は停止される。

【0285】テスト制御信号/TEがLレベルに活性化された場合に、制御信号LVVDがHレベルに設定されていれば、すなわち外部電源電圧直結モードが適用されている場合には、外部パッド750に対してリーク電流が生じる。したがって、外部パッド750に生じるリーク電流を検出することによって、適用される外部電源電圧のレベルが、外部電源電圧直結モードに対応しているか否かを容易に判定することができる。

【0286】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0287】

46

【発明の効果】請求項1、2および3記載の半導体記憶装置は、低消費電力モードにおいて、参照電圧生成部および内部電源電圧生成部の動作を停止させた状態で内部電源電圧を生成できるので、内部電源回路自体の消費電力を削減することができる。

【0288】請求項4、5および7記載の半導体記憶装置は、請求項1記載の半導体記憶装置が奏する効果に加えて、一般的なモードレジスタによるモード設定に基づいて、低消費電力モードへの移行可否を選択的に設定できる。

【0289】請求項6記載の半導体記憶装置は、請求項4記載の半導体記憶装置が奏する効果に加えて、内部回路が不安定な状態である期間を避けて、通常モードから低消費電力モードに移行できる。

【0290】請求項8記載の半導体記憶装置は、低消費電力モードにおいても外部制御信号のレベル遷移を正確に反映して内部制御信号を生成することができる。したがって、請求項7記載の半導体記憶装置が奏する効果に加えて、低消費電力モードから通常モードへの復帰を確実に実行できる。

【0291】請求項9記載の半導体記憶装置は、バッファ部を介して参照電圧を内部電源電圧発生部に伝達するので、請求項1記載の半導体記憶装置が奏する効果に加えて、ノイズ等の影響による参照電圧の変動を抑制できる。

【0292】請求項10および11記載の半導体記憶装置は、請求項9記載の半導体記憶装置が奏する効果に加えて、低消費電力モードから通常モードへの復帰時に、参照電圧を高速に立ち上げることができるので、内部電源電圧を速やかに復帰させることができる。

【0293】請求項12記載の半導体記憶装置は、外部電源電圧のレベルに応じて前記内部電源電流の供給動作を切換えるので、外部電源電圧のレベルにかかわらず内部電源電圧の制御応答性を維持できる。

【0294】請求項13および14は、請求項12記載の半導体記憶装置が奏する効果を、外部電源電圧直結モードを有する場合にも享受することができる。

【0295】請求項15記載の半導体記憶装置は、請求項13記載の半導体記憶装置が奏する効果に加えて、外部電源電圧直結モード時における消費電力を削減できる。

【0296】請求項16から18に記載の半導体記憶装置は、適用される外部電源電圧のレベルが、内部電源電圧よりも高い場合において、請求項12記載の半導体記憶装置が奏する効果を享受することができる。

【0297】請求項19記載の半導体記憶装置は、請求項18記載の半導体記憶装置が奏する効果に加えて、内部回路の消費電流が小さいセルフリフレッシュコマンド実行時に電圧比較回路の動作電流を絞ることによって、

さらに消費電力を削減できる。

47

【0298】請求項20から23に記載の半導体記憶装置は、外部電源電圧を昇圧して内部電源電圧を生成する場合に、外部電源電圧のレベルに応じて第1および第2の昇圧ユニットからの電流供給能力を切換えることによって、請求項12記載の半導体記憶装置が奏する効果を享受することができる。

【0299】請求項24および25記載の半導体記憶装置は、請求項20記載の半導体記憶装置が奏する効果に加えて、外部電源電圧のレベルにかかわらずポンプクロックの周期を安定的に維持できるので、内部電源電圧の制御に対する外乱を抑制できる。

【0300】請求項26記載の半導体記憶装置は、請求項20記載の半導体記憶装置が奏する効果に加えて、低消費電力モードにおける消費電力を削減することができる。

【0301】請求項27記載の半導体記憶装置は、動作テスト時に所定テストが起動可能か否かによって、特定の動作条件が指定されているか否かを簡易に検知できる。

【0302】請求項28記載の半導体記憶装置は、請求項27記載の半導体記憶装置が奏する効果に加えて、特定の動作条件が指定されている場合にも、所定テストを起動することができる。

【0303】請求項29記載の半導体記憶装置は、異なるレベルの外部電源電圧が適用可能な場合に、請求項27記載の半導体記憶装置が奏する効果を享受することができる。

【0304】請求項30記載の半導体記憶装置は、異なる電圧レベルの入出力信号が適用可能な場合に、請求項27記載の半導体記憶装置が奏する効果を享受することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従う半導体記憶装置の全体構成を示す概略ブロック図である。

【図2】 通常モードおよびディープ・パワーダウンモードにおける内部電源電圧の設定を説明する図である。

【図3】 モードレジスタセットに用いられるアドレスビットの構成を説明する図である。

【図4】 ディープ・パワーダウンモードへのエントリ方式の一例を説明するタイミングチャートである。

【図5】 ディープ・パワーダウンモードへのエントリ方式の他の例を説明するタイミングチャートである。

【図6】 図1に示される内部電源回路の構成を示すブロック図である。

【図7】 図6に示される参照電圧発生回路の構成を示す回路図である。

【図8】 図6に示されるバッファ回路の構成を示す回路図である。

【図9】 図6に示される外部入力信号用参照電圧発生回路の構成を示す回路図である。

48

【図10】 内部クロックイネーブル信号生成回路の構成を示す回路図である。

【図11】 通常モードへの復帰時に応答性の高いバッファ回路の構成を示す回路図である。

【図12】 パワーオンリセット信号生成回路の構成を示す回路図である。

【図13】 外部電源電圧レベルに対応した、内部電源電圧の設定レベルの相違を説明する図である。

【図14】 実施の形態2に従う、周辺回路電源電圧に対応する参照電圧発生回路の構成を示す回路図である。

【図15】 実施の形態2に従う、バッファ回路への電流供給を説明する回路図である。

【図16】 実施の形態2に従う内部電源電圧発生回路の構成を示す回路図である。

【図17】 実施の形態2に従う内部電源電圧発生回路の構成を示す回路図である。

【図18】 実施の形態2に従う電圧昇圧回路の構成を示すブロック図である。

【図19】 図18に示されるリング発振器の構成を示す回路図である。

【図20】 図18に示される非常時検出部の構成を示す回路図である。

【図21】 図18に示されるポンプ回路の構成を示す回路図である。

【図22】 図21に示されるポンプ回路の動作を説明するためのタイミングチャートである。

【図23】 実施の形態3に従うテストモード制御回路の構成を示す回路図である。

【図24】 実施の形態3の変形例に従う外部電源電圧レベル検出回路の構成を示す回路図である。

【符号の説明】

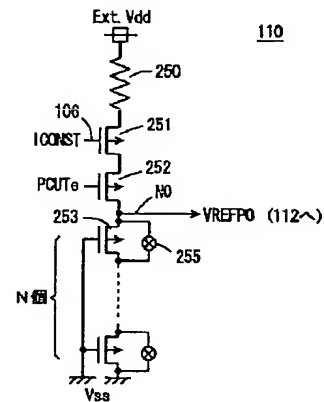
10 メモリアレイ部、20 メモリセルアレイ、30 行選択部、40 センスアンプおよび列選択部、50 入力初段回路、60 周辺回路制御部、65 モードレジスタ、70、75 メモリアレイ部制御回路、80 出力回路、90 外部電源配線、95 接地配線、100 内部電源回路、110、120、130、410 参照電圧発生回路、112、122、132、412 バッファ回路、116、126、416、426 内部電源電圧発生回路、118、128、138、168 内部電源配線、136 電圧昇圧回路、160 基板電圧発生回路、270 外部入力信号用参照電圧発生回路、280 内部クロックイネーブル信号生成回路、300 パワーカット信号生成回路、306 レベル変換回路、310 パワーオンリセット信号生成回路、440、460 内部電源電流供給部、442、445、462、465 ドライバトランジスタ、500 非常時検出部、510 アクティブ時検出部、520 スタンバイ時検出部、530 アクティブ検出部制御回路、545 昇圧ユニット制御回路、550 アクティ



50

\*導体記憶装置、C1, C2 ポンプキャパシタ、EXT  
CKE 外部クロックイネーブル信号、Ext. Vdd  
外部電源電圧、INTCKE 内部クロックイネー  
ブル信号、PCUT パワーカット信号、VDDP 周  
辺回路電源電圧、VDDS メモリアレイ電源電圧、V  
PP ワード線電圧、VREFI 外部入力信号用参照  
電圧、Vss 接地電圧。

【図 7】

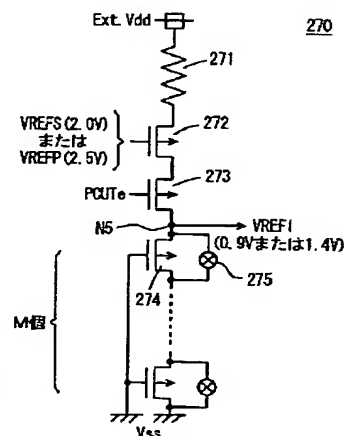
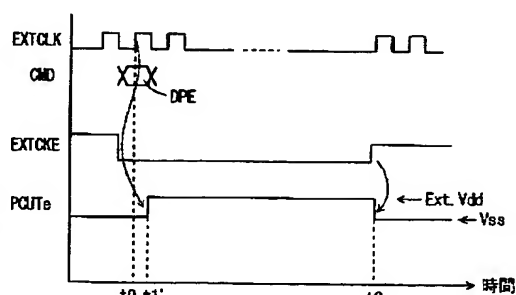


【図 3】

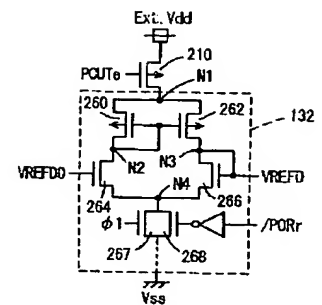
BA1	BA0	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	0	YM	0	0	LTMODE			BT	BL		

【図 9】

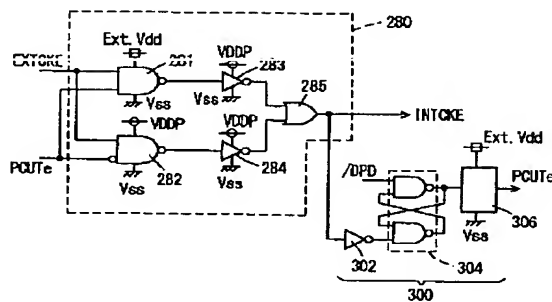
【図 5】



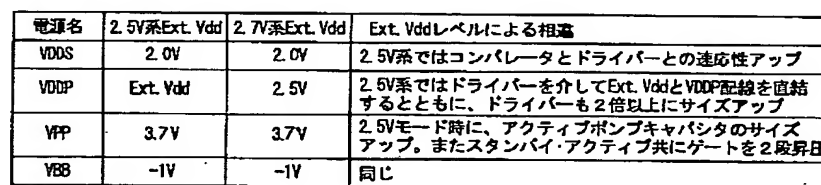
【図 1 1】



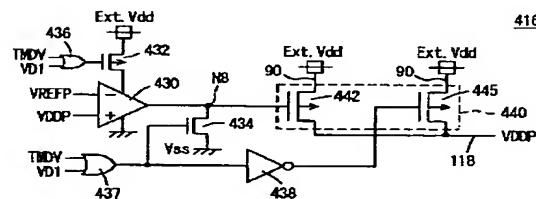
【図 10】



【図 13】



416



【図 17】

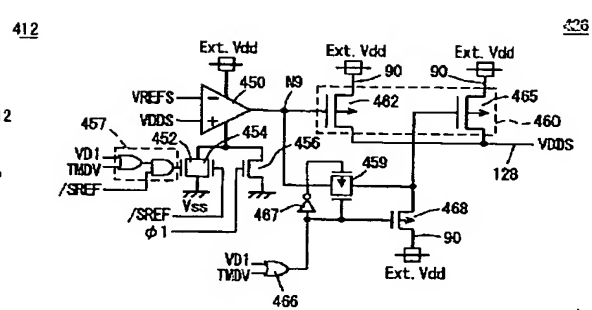
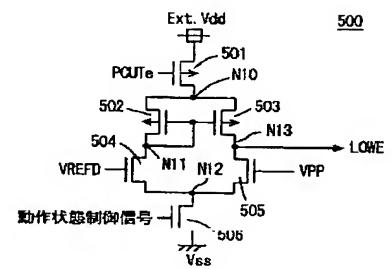
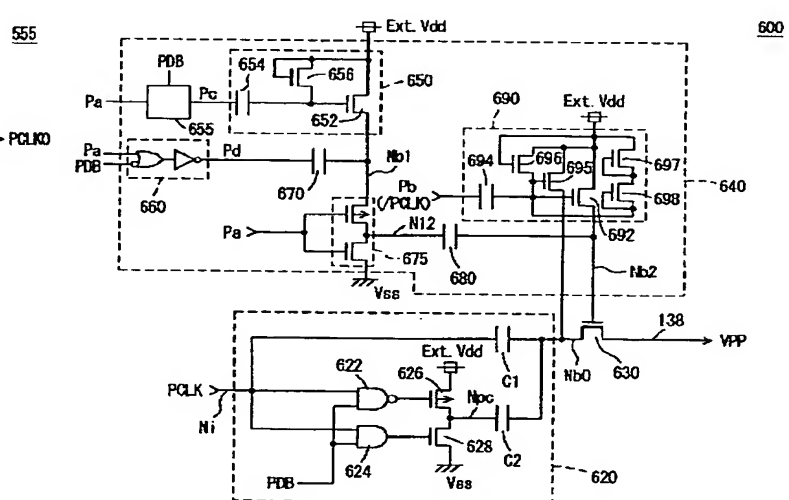


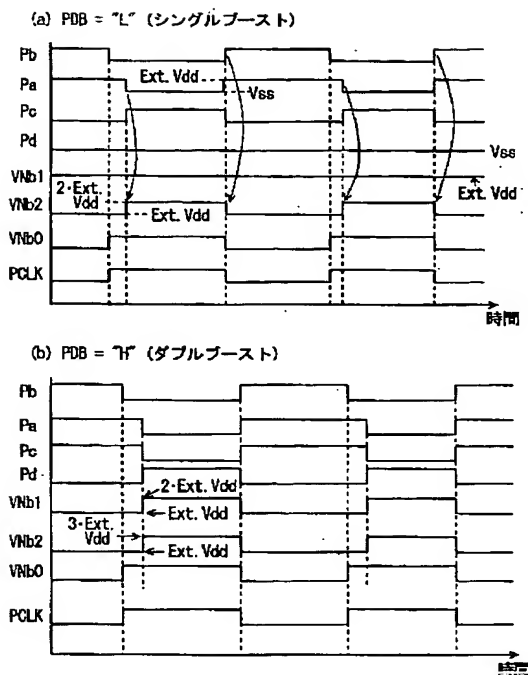
Figure 1 is a block diagram of a power supply control circuit. The circuit includes a feedback loop with a divider (530) and an error amplifier (540). The error amplifier output (545) drives a PMOS transistor (550) and an NMOS transistor (560). The PMOS transistor is controlled by a gate driver (570) which includes a ring oscillator (575) and a pump circuit (610). The NMOS transistor is controlled by a gate driver (580) which includes a ring oscillator (585) and a pump circuit (620). The circuit also includes a standby mode control section (590) and a shutdown mode control section (600).



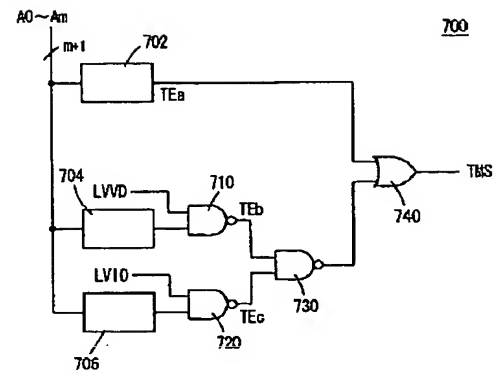
【図 2 1】



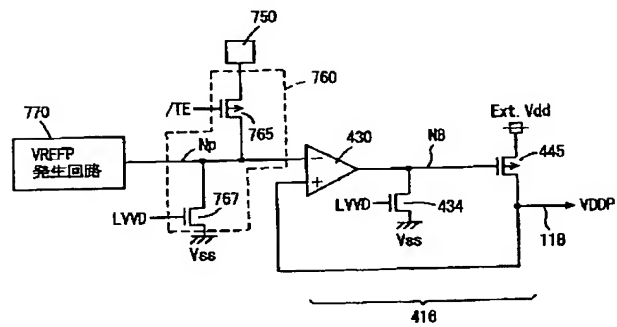
【図22】



【図23】



【図24】



フロントページの続き

(72) 発明者 松本 淳子  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内

F ターム (参考) 5H730 AA14 AS04 BB02 BB57 DD04  
FG01 FV09  
5L106 AA01 DD11 EE03 EE08 FF01  
GG05  
5M024 AA02 AA04 AA15 AA90 BB17  
BB28 BB29 BB39 BB40 CC20  
CC50 DD20 DD90 EE05 FF02  
FF03 FF05 FF07 FF12 FF13  
HH09 HH10 HH11 KK18 MM04  
PP01 PP02 PP03 PP07 PP10